

Asignación de Restricciones

Introducción

En las prácticas realizadas hasta el momento las restricciones del sistema (ubicación de pines y temporización) estaba predefinida y formaba parte de los archivos fuente del proyecto. En esta práctica crearemos los archivos de restricciones de ubicación de pines y de temporización para el sistema.

Objetivos

- Crear un proyecto de planificación de I/O (I/O Planning Project)
- Fijar la ubicación de los pines mediante las herramientas disponibles
- Crear restricciones de temporización

Procedimiento

Descripción del Sistema

El sistema consiste en un receptor serie asíncrono (UART) que recibe caracteres y muestra la representación binaria de la parte baja del carácter en 4 Leds (es el mismo utilizado en la Práctica 2). Cuando se presiona un botón, se representa la parte alta del carácter. En la Figura 1 se ve el diagrama en bloques del sistema.

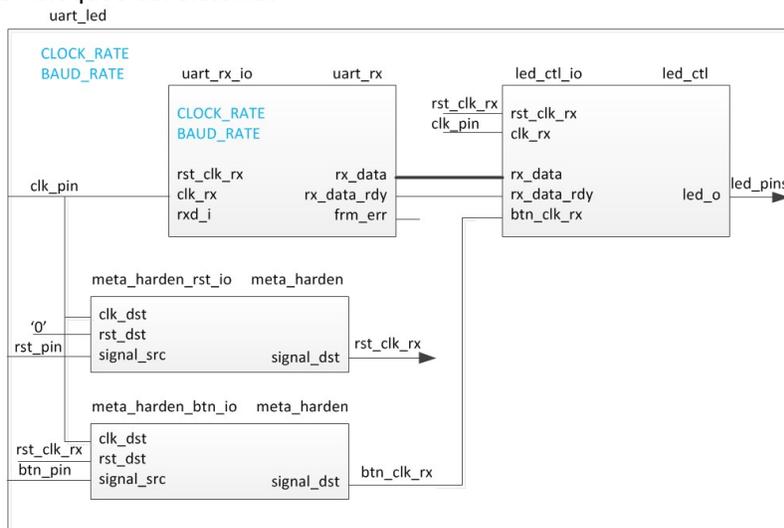
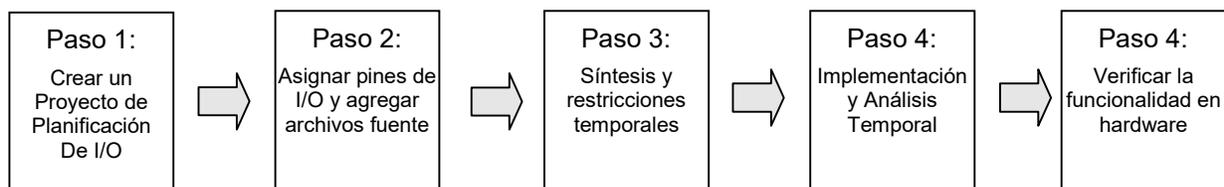


Figura 1. Sistema a sintetizar

Hoja de Ruta de la Práctica



Crear el Proyecto de Planificación de I/O

Paso 1

1-1. Iniciar la herramienta Vivado y crear un proyecto con la placa Arty Z7.

1-1-1. Iniciar la herramienta Vivado

1-1-2. Presionar **Create Project** para iniciar el asistente. Aparecerá el cuadro de diálogo *Create A New Vivado Project*. Presionar **Next**.

1-1-3. Presionar el botón de navegación del campo *Project location* del formulario **New Project**, elegir la ubicación del proyecto y presionar **Select**.

1-1-4. Ingresar el nombre del proyecto **Práctica05** en el campo *Project name*. Verificar que la opción *Create Project Subdirectory* este seleccionada. Presionar **Next**.

1-1-5. Seleccionar la opción **I/O Planning Project** en el formulario *Project Type*, y presionar **Next**.

1-1-6. Verificar que este seleccionada la opción **Do not import I/O ports at this time**. Presionar **Next**.

1-1-7. En el formulario *Default Part*, seleccionar la pestaña **Boards**. En el recuadro *Vendor* seleccionar **digilentinc.com**, en el recuadro *Name* seleccionar la placa **Arty Z7-10**. En el recuadro *Display Name* seleccionar la fila con la placa Arty Z7-10. Presionar **Next**.

1-1-8. Presionar **Finish** para crear el proyecto.

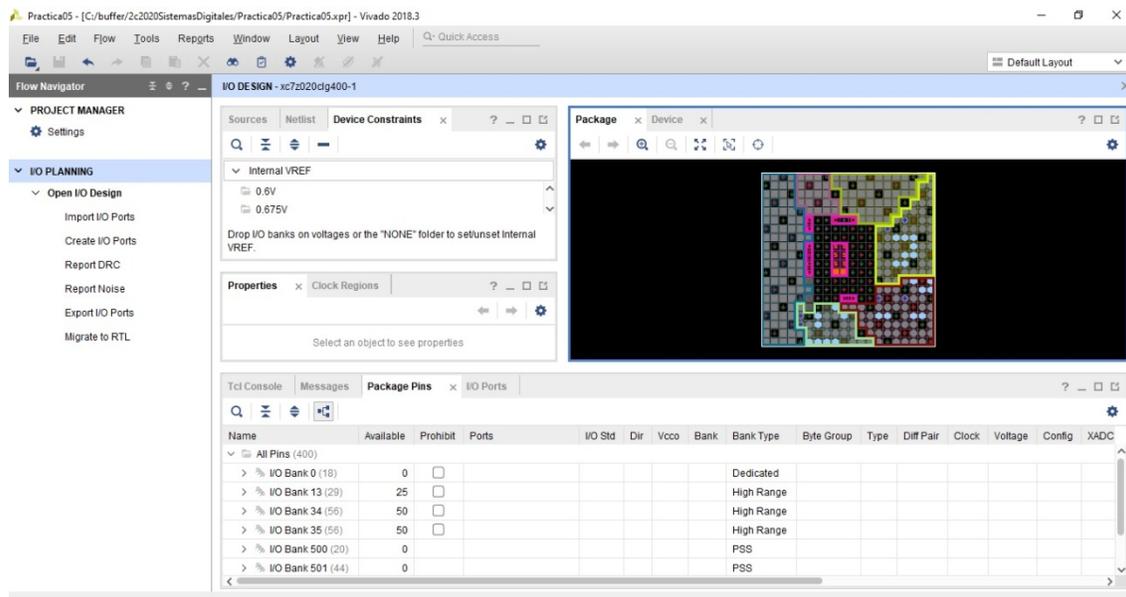


Figura 1: I/O Planning Project

Asignar pines y agregar código fuente

Paso 2

2-1. Crear los puertos *clk_pin*, *btn_pin*, *rst_pin*, *rx_d_pin* y *tx_d_pin*.

2-1-1. En el panel “Flow Navigator”, en la sección “I/O Planning – Open I/O Design”, dar click en “Create I/O Ports”, se abrirá la ventana “Create Port”

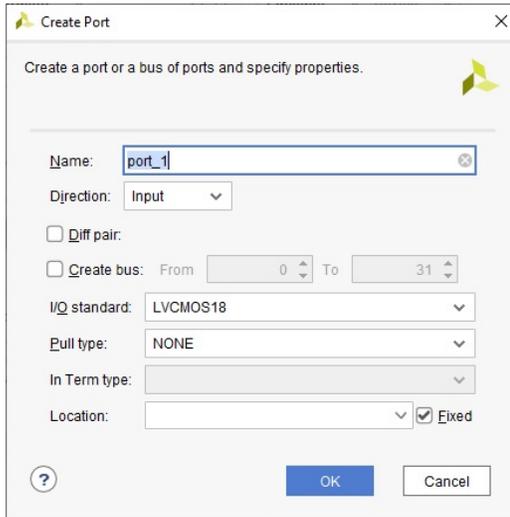


Figura 2: Ventana Create Port

2-1-2. En *Name* colocar *clk_pin*; en *Direction* seleccionar **Input** y en *I/O standard* seleccionar **LVCMOS33**. Presionar **OK**.

2-1-3. De la misma manera crear los puertos *btn_pin*, *rst_pin*, *rx_d_pin* y *tx_d_pin*. En este último (*tx_d_pin*) en *Direction* seleccionar **Output**.

2-2. Asignar las ubicaciones utilizando la vista *Device View* y *package pins*

2-2-1. En la vista *Package View* posicionar el cursor sobre el pin H16 (conviene maximizar la pestaña)

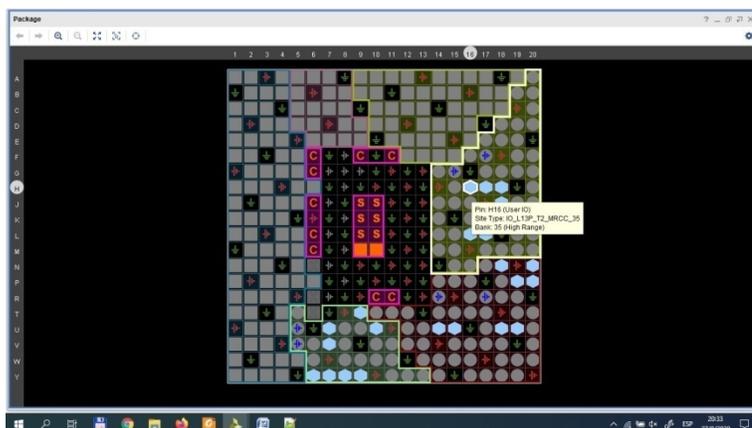


Figura 3: Package View

Hacer click en el pin **H16**, el mismo quedara resaltado en la pestaña *Package Pins* de la parte inferior de la pantalla. En la columna *Ports* de la fila *H16*, seleccionar **clk_pin**

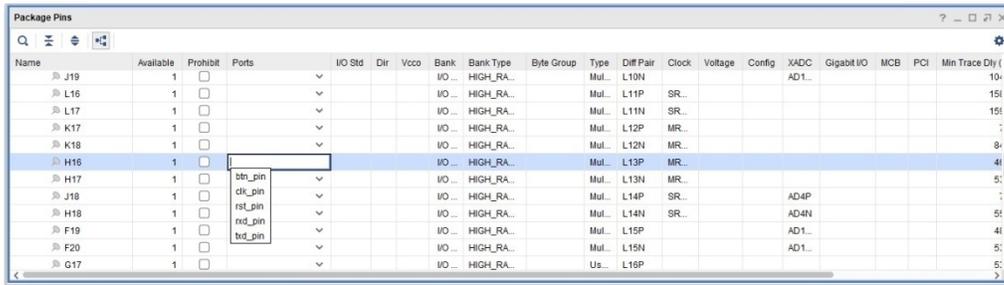


Figura 4: Pestaña *Package Pins*

2-2-2. De la misma manera asignar los demás puertos a sus ubicaciones físicas

| | |
|---------|-----|
| btn_pin | D19 |
| rst_pin | L19 |
| rxd_pin | Y18 |
| txd_pin | Y19 |

2-3. **Asignar los pines de salida, crearlos como un vector y asignarlos mediante comandos TCL *set_property***

2-3-1. En la pestaña *I/O Ports*, presionar el botón **Create** (símbolo "+"), En el menu desplegable seleccionar *Create I/O Ports...*

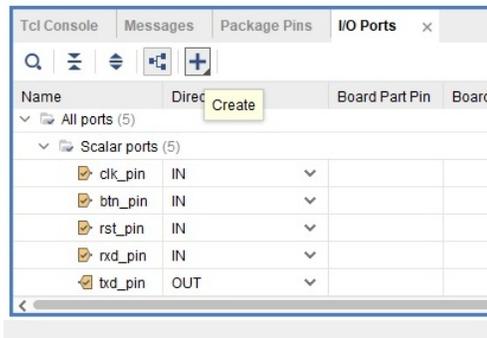
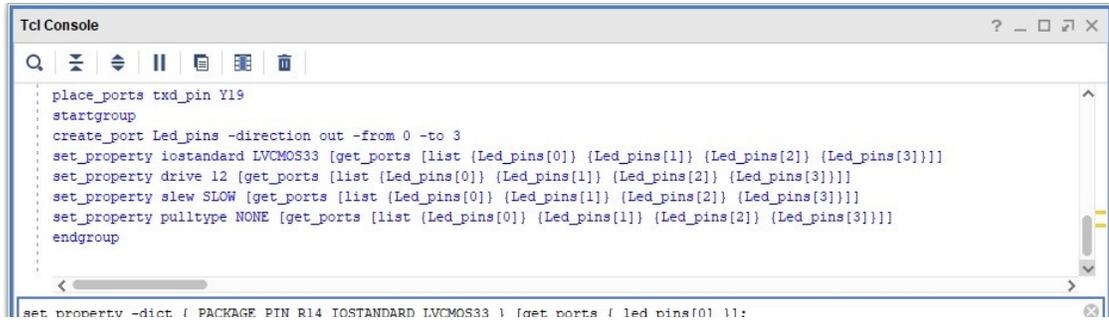


Figura 5: Pestaña *I/O Ports*

Se abrirá el cuadro de dialogo **Create Port**. En el campo *Name* colocar **led_pins**, en *Direction* seleccionar **Output**, en *I/O Standard* seleccionar **LVC MOS33**. Seleccionar la casilla *Create bus* y configurarla **from 0 to 3**. Presionar **OK**.

2-3-2. Seleccionar la pestaña *Tcl Console*. En la parte inferior escribir los siguientes comandos para asignar las ubicaciones de los pines

```
set_property -dict { PACKAGE_PIN R14 IOSTANDARD LVC MOS33 } [get_ports { led_pins[0] }];
set_property -dict { PACKAGE_PIN P14 IOSTANDARD LVC MOS33 } [get_ports { led_pins[1] }];
set_property -dict { PACKAGE_PIN N16 IOSTANDARD LVC MOS33 } [get_ports { led_pins[2] }];
set_property -dict { PACKAGE_PIN M14 IOSTANDARD LVC MOS33 } [get_ports { led_pins[3] }];
```



```

place_ports txd_pin Y19
startgroup
create_port Led_pins -direction out -from 0 -to 3
set_property iostandard LVCMOS33 [get_ports [list {Led_pins[0]} {Led_pins[1]} {Led_pins[2]} {Led_pins[3]}]]
set_property drive 12 [get_ports [list {Led_pins[0]} {Led_pins[1]} {Led_pins[2]} {Led_pins[3]}]]
set_property slew SLOW [get_ports [list {Led_pins[0]} {Led_pins[1]} {Led_pins[2]} {Led_pins[3]}]]
set_property pulltype NONE [get_ports [list {Led_pins[0]} {Led_pins[1]} {Led_pins[2]} {Led_pins[3]}]]
endgroup

```

Figura 6: Consola Tcl

Seleccionar el menú *File* (arriba a la derecha), y en el submenú *Constraints*, seleccionar **Save**. Se abrirá el cuadro de dialogo *Save Constraints*

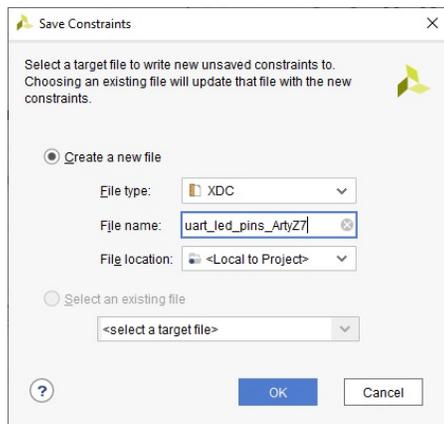


Figura 7: Cuadro de Dialogo Save Constraints

Guardar el archivo con el nombre “uart_led_pins_ArtyZ7”. En la pestaña *Sources* aparecerá dentro de la sección **Constraints**

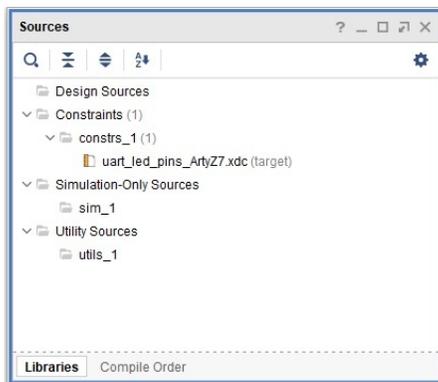


Figura 8: Pestaña Sources

- 2-3-3.** Migrar el proyecto a un proyecto RTL, para ello en el panel *Flow Navigator*, sección *I/O Planning* – *Open I/O Design* seleccionar la opción **Migrate to RTL**. Se abrirá el cuadro de dialogo *Migrate to RTL*

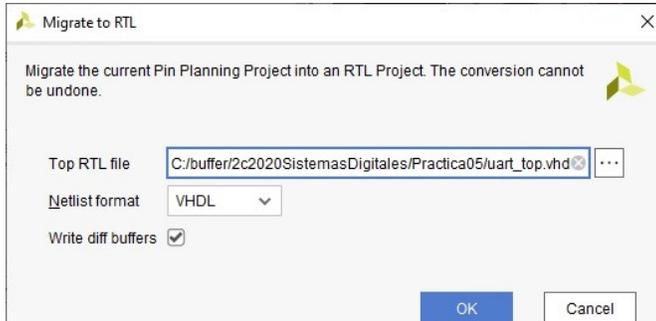


Figura 9: Cuadro de Dialogo *Migrate to RTL*

Verificar que la opción *Netlist format* este seleccionada en **VHDL** y cambiar el nombre del archivo a “*uart_top.vhd*”

- 2-3-4.** En la pestaña *Sources* seleccionar el botón **Hierarchy**, expandir la entrada *Design Sources* y verificar que se creó la entidad **ios** con los puertos que se configuraron

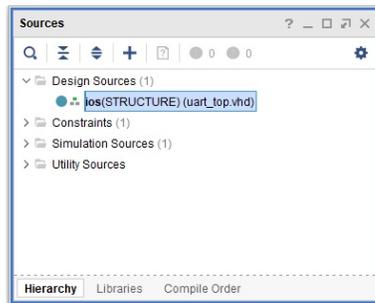


Figura 10: Entidad ios

Dando doble click a la entidad, se abre el código VHDL correspondiente

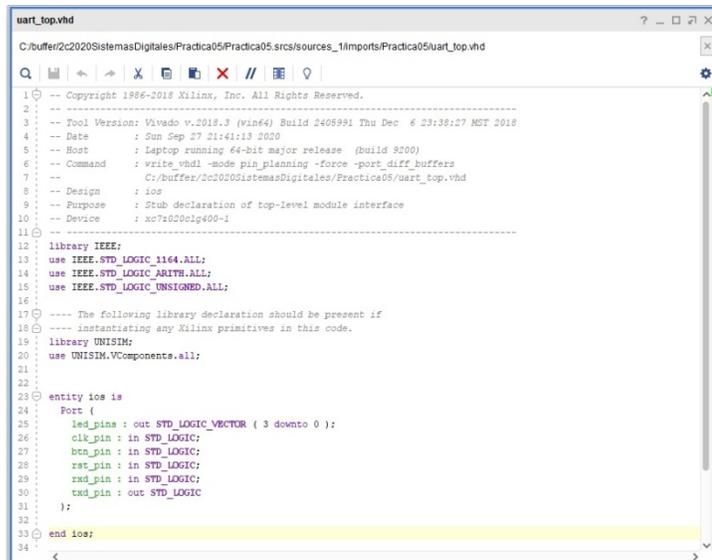


Figura 11: Código VHDL de la Entidad ios

2-4. Agregar los archivos fuente HDL al proyecto.

2-4-1. En el panel *Flow Navigator*, en la sección *Project Manager*, dar click en **Add Sources**. Se abrirá el Cuadro de Dialogo *Add Sources*. Seleccionar la opción **Add or create design sources** y presionar **Next**. Agregar los archivos vhd *led_ctl.vhd*, *meta_harden.vhd*, *uart_baud_gen.vhd*, *uart_led.vhd*, *uart_rx.vhd*, *uart_rx_ctl.vhd*. Presionar **Finish**

2-4-2. En el archivo *uart_top.vhd*, insertar en la línea 36 (antes del *begin*)

```
component uart_led is
  generic(
    BAUD_RATE: integer := 115200;
    CLOCK_RATE: integer := 125E6
  );
  port(
    clk_pin:      in std_logic;      -- Clock input (from pin)
    rst_pin:      in std_logic;      -- Active HIGH reset (from pin)
    btn_pin:      in std_logic;      -- Button to swap high and low bits
    rxd_pin:      in std_logic;      -- RS232 RXD pin - directly from pin
    led_pins: out std_logic_vector(3 downto 0) -- 8 LED outputs
  );
end component;
signal loopback: std_logic;
```

Insertar en la línea 52 (después del *begin*)

```
loopback <= not rxd_pin;
txd_pin <= not loopback;
U0: uart_led
  generic map(
    BAUD_RATE => 115200,
    CLOCK_RATE => 125E6
  )
  port map(
    clk_pin => clk_pin,      -- Clock input (from pin)
    rst_pin => rst_pin,      -- Active HIGH reset (from pin)
    btn_pin => btn_pin,      -- Button to swap high and low bits
    rxd_pin => rxd_pin,      -- RS232 RXD pin - directly from pin
    led_pins => led_pins     -- 8 LED outputs
  );
```

2-4-3. Guardar el archivo. En la pestaña *Sources* se actualizará la jerarquía del sistema, quedando la entidad **uart_led** como parte de la entidad **ios**

2-4-4. Abrir el archivo HDL *led_ctl.vhd*. Modificar las líneas 62 y 64; en la línea 62 es **char_data(7 downto 4)** y en la línea 64 es **char_data (3 downto 0)**. Guardar el archivo

Síntesis y Restricciones Temporales

Paso 3

3-1. Ejecutar el proceso de Síntesis. Utilizar el asistente de restricciones para incorporar restricciones temporales

3-1-1. En el Panel *Flow Navigator*, seleccionar *Synthesis*, presionar **Run Synthesis**.

3-1-2. Presionar **OK** en el cuadro de dialogo para que se ejecute el proceso de síntesis.

El proceso de síntesis se ejecutara sobre el modulo `uart_top.vhd` y todos sus submodulos. Cuando el proceso finalice, aparecerá el cuadro de dialogo *Synthesis Completed* con 3 opciones.

3-1-3. Seleccionar la opción *Open Synthesized Design* y presionar **OK**.

3-1-4. En el menú *Flow Navigator*, seleccionar *Synthesis*, presionar **Constraints Wizard**. Se abrirá el cuadro de dialogo *Constraints Wizard*

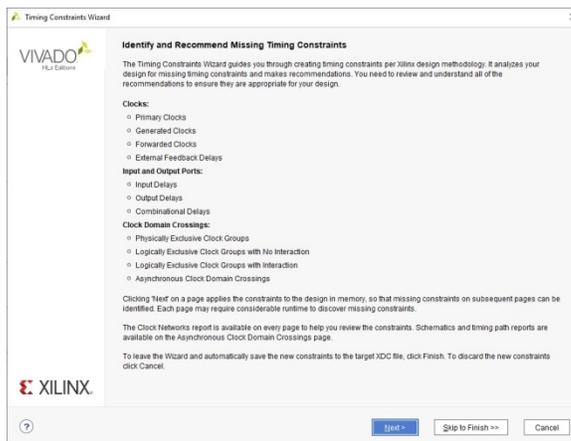


Figura 12: Asistente Constraints Wizard

Presionar **Next**

3-1-5. Establecer la frecuencia del objeto `clk_pin` en **125.000 MHz**. Observar que las restricciones se aplican mediante comandos Tcl en la parte inferior del cuadro de dialogo. Presionar **Next**

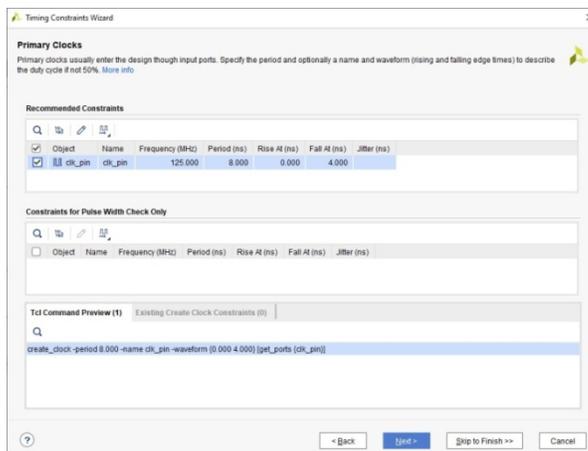


Figura 13: Asignación de frecuencia a `clk_pin`

- 3-1-6.** No hay relojes generados (*Generated Clocks*), por lo que no se aplican restricciones, presionar **Next**
- 3-1-7.** No se propagan relojes hacia afuera (*Forwarded Clocks*), por lo que no se aplican restricciones, presionar **Next**
- 3-1-8.** No hay realimentaciones de relojes (*External Feedback*), por lo que no se aplican restricciones, presionar **Next**
- 3-1-9.** En *Input Delays*. Deseleccionar las tres filas (rxd_pin, btn_pin y rst_pin) ya que estas señales externas no son sincrónicas con ningún reloj interno, luego presionar **Next**

tco_min: es el retardo mínimo de una señal externa desde el flanco de reloj hasta que está disponible a la salida del dispositivo que la genera

tco_max: es el retardo máximo de una señal externa desde el flanco de reloj hasta que está disponible a la salida del dispositivo que la genera

trce_dly_min: es el retardo mínimo introducido por las pistas de circuito impreso

trce_dly_max: es el retardo máximo introducido por las pistas de circuito impreso

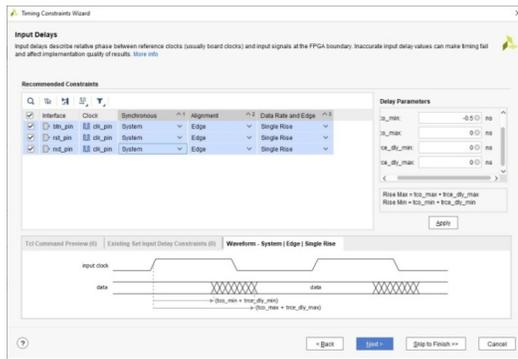


Figura 14: Asignación de restricciones *Input Delays*

- 3-1-10.** En *Output Delays* deseleccionar la señal **led_pins[*]** y después presionar **Next**. Como los dispositivos que reciben la señal son Leds, no tienen requisitos de temporización

tsu: tiempo de setup necesario para el dispositivo que recibe la señal

thd: tiempo de hold necesario para el dispositivo que recibe la señal

trce_dly_min: es el retardo mínimo introducido por las pistas de circuito impreso

trce_dly_max: es el retardo máximo introducido por las pistas de circuito impreso

- 3-1-11.** En *Combinational Delays* deseleccionar la señal, ya que el camino de señal va de botones a Leds, por lo que no hay un retardo combinacional que afecte.

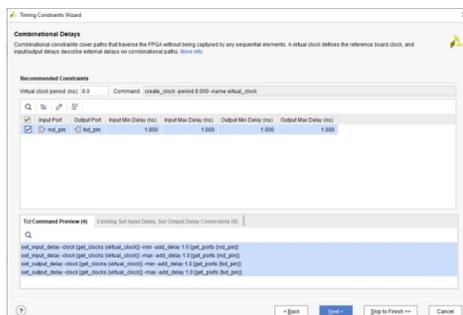


Figura 15: Asignación de restricciones *Combinational Delays*

Cabe aclarar que la función de un *virtual_clock* es generar una referencia para los retardos de entrada (*Input Min Delay / Input Max Delay*) y retardos de salida (*Output Min Delay / Output Max Delay*) de los circuitos puramente combinacionales, como se muestra en la siguiente Figura

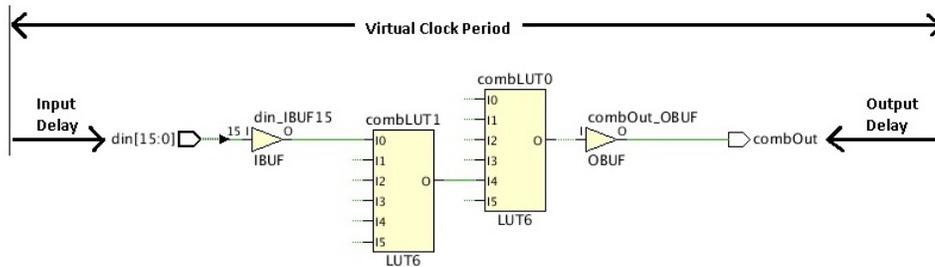


Figura 16: Retardos de entrada/salida para circuitos puramente combinacionales

3-1-12. No hay relojes mutuamente excluyentes, presionar **Next**

3-1-13. No hay relojes con caminos de señal en común sin interacción, presionar **Next**

3-1-14. No hay relojes con caminos de señal en común con interacción, presionar **Next**

3-1-15. No hay relojes asincrónicos, presionar **Next**

3-1-16. Se creó una única restricción, que es el reloj de sistema en 125MHz, presionar **Finish**

3-2. Generar un reporte estimativo de temporización

3-2-1. Observar en la parte superior derecha de la pantalla que el agregado de restricciones invalida el proceso de síntesis, por lo que es necesario volver a ejecutarlo. En el Panel *Flow Navigator*, seleccionar *Synthesis*, presionar **Run Synthesis**. Presionar **OK** en el cuadro de dialogo

3-2-2. Una vez finalizado el proceso de síntesis, en el cuadro de dialogo seleccionar la opción **Open Synthesized Design**. Presionar **OK**. Luego en el panel *Flow Navigator*, seleccionar *Synthesis*, presionar **Report Timing Summary**. En el cuadro de dialogo presionar **OK**

| Setup | Hold | Pulse Width |
|--------------------------------------|----------------------------------|---|
| Worst Negative Slack (WNS): 4,946 ns | Worst Hold Slack (WHS): 0,132 ns | Worst Pulse Width Slack (WPWS): 3,500 ns |
| Total Negative Slack (TNS): 0,000 ns | Total Hold Slack (THS): 0,000 ns | Total Pulse Width Negative Slack (TPWS): 0,000 ns |
| Number of Failing Endpoints: 0 | Number of Failing Endpoints: 0 | Number of Failing Endpoints: 0 |
| Total Number of Endpoints: 101 | Total Number of Endpoints: 101 | Total Number of Endpoints: 48 |

All user specified timing constraints are met.

Figura 17: Reporte estimativo de temporización

En el reporte estimativo se observa que se cumplen todas las restricciones de temporización

Implementación y Análisis Temporal

Paso 4

4-1. Implementar el sistema.

- 4-1-1. En el panel *Flow Navigator*, seleccionar *Implementation*, presionar **Run Implementation**. Al finalizar el proceso, seleccionar *Open Implemented Design*. Presionar **OK**.
- 4-1-2. En el panel *Flow Navigator*, seleccionar *Implementation*, presionar **Report Timing Summary**. En el cuadro de dialogo presionar **OK**. Verificar que se cumplen todas las restricciones de temporización

Verificar la Funcionalidad en el Hardware

Paso 5

5-1. Conectar la placa, conectar el adaptador usb-serie. Abrir una sesión de hardware y configurar la FPGA.

- 5-1-1. Conectar el cable micro-usb al conector prog/uart de la placa Arty Z7. Este conector se encuentra al costado del conector ethernet. Conectar el otro extremo a un puerto usb de la computadora
- 5-1-2. Conectar el adaptador usb-serie a la computadora. Verificar el puerto COM al que se mapea
- 5-1-3. Conectar los 3 cables de Tx; Rx y GND entre el conector USB-serie y el puerto JA de la placa ArtyZ7: TxD en el pin 1; RxD en el pin 2 y GND en el pin 5

Primero conectar la placa ArtyZ7 a la computadora, luego conectar el adaptador usb-serie

- 5-1-4. En el panel *Flow Navigator*, seleccionar **Program and Debug**, presionar *Open Hardware Manager*.

Aparecerá la interface del administrador de hardware (Hardware Manager) indicando el estado desconectado (unconnected).

- 5-1-5. Presionar en el enlace **Open target**, y luego en la opción **Auto Connect** del menú.

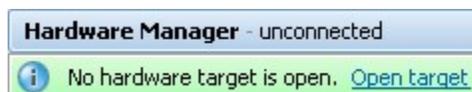


Figura 15. Hardware Manager

- 5-1-6. El estado de la sesión de hardware pasa de desconectado a tener el nombre del servidor (en este caso local host porque la placa está conectada en forma local). También se indica que el estado del dispositivo es *not programmed*.

- 5-1-7. Seleccionar el dispositivo (xc7z010_1) en la ventana de hardware. Presionar el botón derecho y seleccionar **Program Device...**
- 5-1-8. En el cuadro de dialogo, presionar el botón **Program** .

Se transferirá el archivo de configuración y el led verde DONE se prendera cuando la FPGA este configurada.
- 5-2. **Iniciar un programa de emulación de terminal (por ejemplo TeraTerm), configurarlo con el puerto serie del adaptador usb-serie y con los parámetros de comunicación 115200 N-8-1.**
- 5-2-1. Iniciar el programa de comunicaciones (por ejemplo TeraTerm).
- 5-2-2. Seleccionar el puerto serie (COM) del adaptador usb-serie.
- 5-2-3. Configurar el puerto serie a 115200, sin paridad, 8 bits de datos, 1 bit de parada .
- 5-2-4. En el programa de comunicaciones, escribir algunos caracteres. Los mismos aparecerán en la pantalla reenviados por la placa y en los 4 Leds se verá el nibble bajo del ASCII equivalente del caracter
- 5-2-5. Presionar y mantener presionado el botón BTN0 y ver como ahora los Leds muestran el nibble alto del ASCII equivalente del caracter escrito en el programa de comunicaciones
- 5-2-6. Seleccionar **File -> Close Hardware Manager**. Presionar **OK**.
- 5-2-7. Cerrar el programa de comunicaciones. Desconectar el adaptador usb-serie de la computadora. Desconectar la placa ArtyZ7 de la computadora. **Hacerlo en ese orden, sino se puede dañar la placa ArtyZ7**
- 5-2-8. Cerrar la aplicación Vivado