

Restricciones de Diseño

Contenido

- **Asignar la ubicación de pines con la herramienta I/O Planner**
- **Descripción de los caminos de temporización**
- **Creación de relojes reales y virtuales**
- **Creación de retardos de entrada y salida**
- **Uso de relojes virtuales para los retardos de entrada y salida**
- **Uso del asistente de restricciones (Constraints Wizard)**

Temario

- **Restricciones de Pin**
- Restricciones de Temporizacion
 - Periodo
 - Retardo de entrada
 - Retardo de salida
 - Relojes virtuales
- Asistente de Restricciones
- Resumen

Planificación de la ubicación de Pines y Reloj

➤ La planificación de la ubicación de Pines y reloj se realiza en las primeras etapas del proyecto

– Las decisiones respecto de ambos tienen profundo impacto en el sistema

- Excesivo skew
- Mala temporización de I/O
- Problemas para pasar señales de un dominio a otro
- Restricciones en la ubicación física de módulos
- Menor posibilidad de usar recursos de temporización
- Mala ubicación de la lógica
- Retardos excesivos en el ruteo
- Mal aprovechamiento de los recursos del dispositivo

➤ La planificación de la ubicación de Pines y reloj debe hacerse simultáneamente

– Las decisiones sobre pines de reloj afectan la temporización y el uso de recursos

– Las decisiones sobre pines de datos afectan la ubicación de los pines de reloj

Planificación de I/O

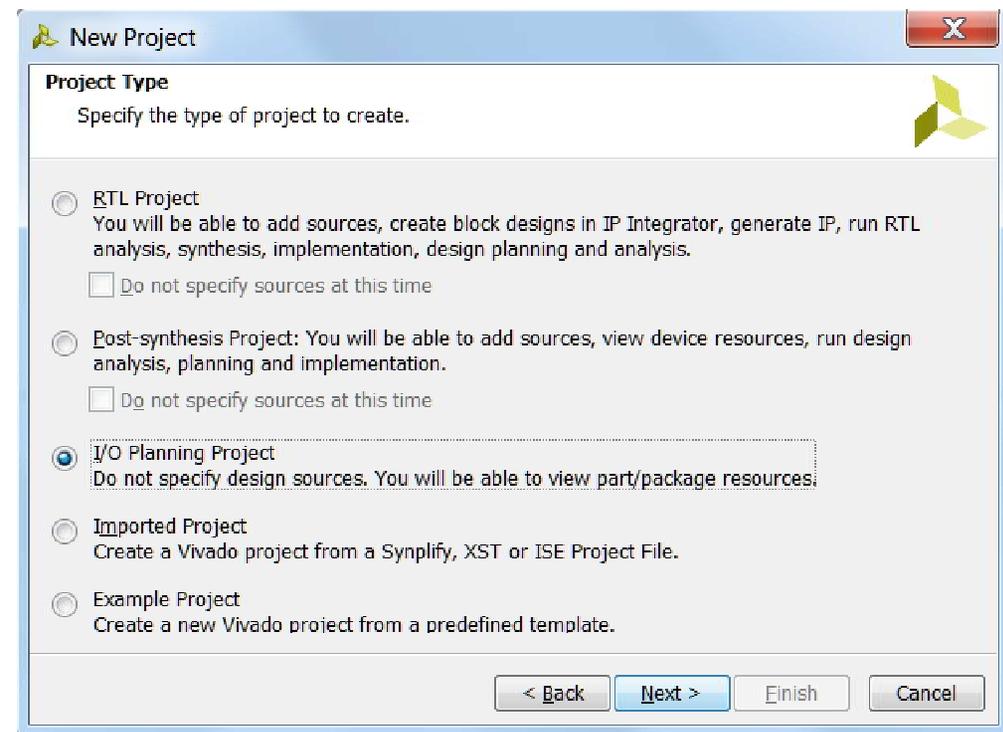
➤ Cuando se crea un nuevo proyecto desde la pagina inicial, esta la opcion de crear una planificacion de I/O sin archivos fuente RTL asociados

– De esta manera se puede verificar la asignacion de pines

- Reglas de los bancos de I/O
- Variaciones de la tierra de referencia
- La herramienta *I/O Planner* realiza la verificacion para los pines asignados

– Sin embargo, es recomendable tener archivos fuente RTL asociados

- El chequeo DRC es mas extenso



Ejecutar la herramienta I/O Planner con código fuente RTL

➤ Esto se hace dentro de un proyecto RTL

– Sintetizar el sistema

- Abir el sistema sintetizado presionando *Open Synthesized Design*

- Ejecutar el I/O Planner seleccionando la vista *I/O Planning* en el menu desplegable de la barra de herramientas

- Esto permite ver e ingresar las ubicaciones físicas de las señales de I/O

The screenshot shows the Vivado I/O Planner interface. The main window displays a pinball diagram with various pins and their physical locations on the device. The I/O Pins table is visible at the bottom, listing pins and their properties.

Name	Direction	Leg. Diff.	Site	Fixed	Bank	I/O Std	Vcco	Vref	Drive Strength	Slew Type	Full Type	Off Chip Termination	3L_TDRM
clk_wiz_0_xci	UII			✓	13	LVCMOS50*	-	2,500	12	SIOW	NOIB	FP_VTT_50	-
bin_pin	IN	F15	R4	✓	18	LVCMOS33*	-	1,800			NOIB	NOIB	-
clk_pin	IN			✓	94	LVCMOS33*	-	3,300			NOIB	NOIB	-
reg_pin	IN	Q22		✓	16	LVCMOS12*	-	1,200			NOIB	NOIB	-
res_pin	IN	V18		✓	14	LVCMOS33*	-	3,300			NOIB	NOIB	-

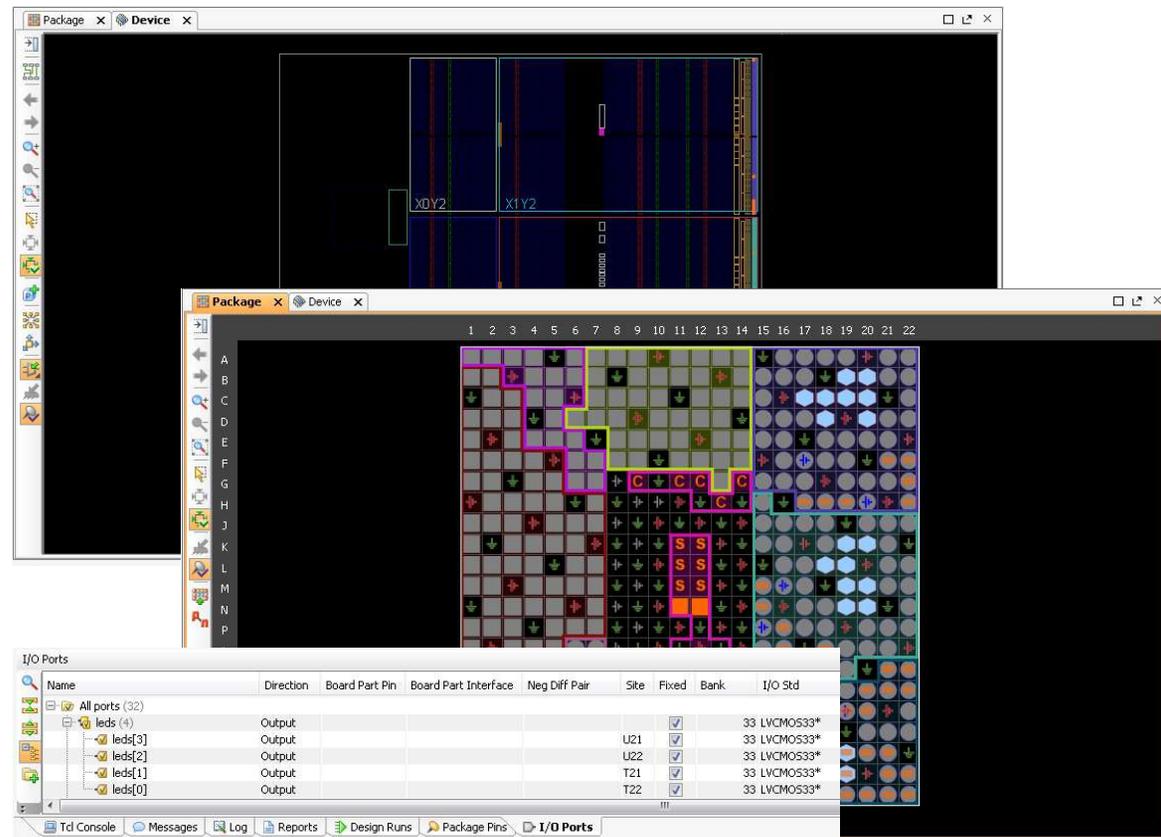
Herramienta I/O Planner

➤ Esta herramienta realizar chequeos en la asignacion de pines

- Para ello, la asignacion de I/O esta basada en reglas
 - El chequeo DRC permite la asignacion de pines a logica especifica de la FPGA (microprocesador, MGT, pares diferenciales, etc)
 - Analisis de ruido
 - Verificar las reglas de los bancos de I/O
- La asignacion de pines puede ser manual o automatica
 - Es recomendable primero asignar manualmente los pines asociados a puertos con requerimientos estrictos de temporizacion y luego realizar una asignacion automatica del resto de los pines
- Se pueden agrupar los pines para gestionar su ubicacion

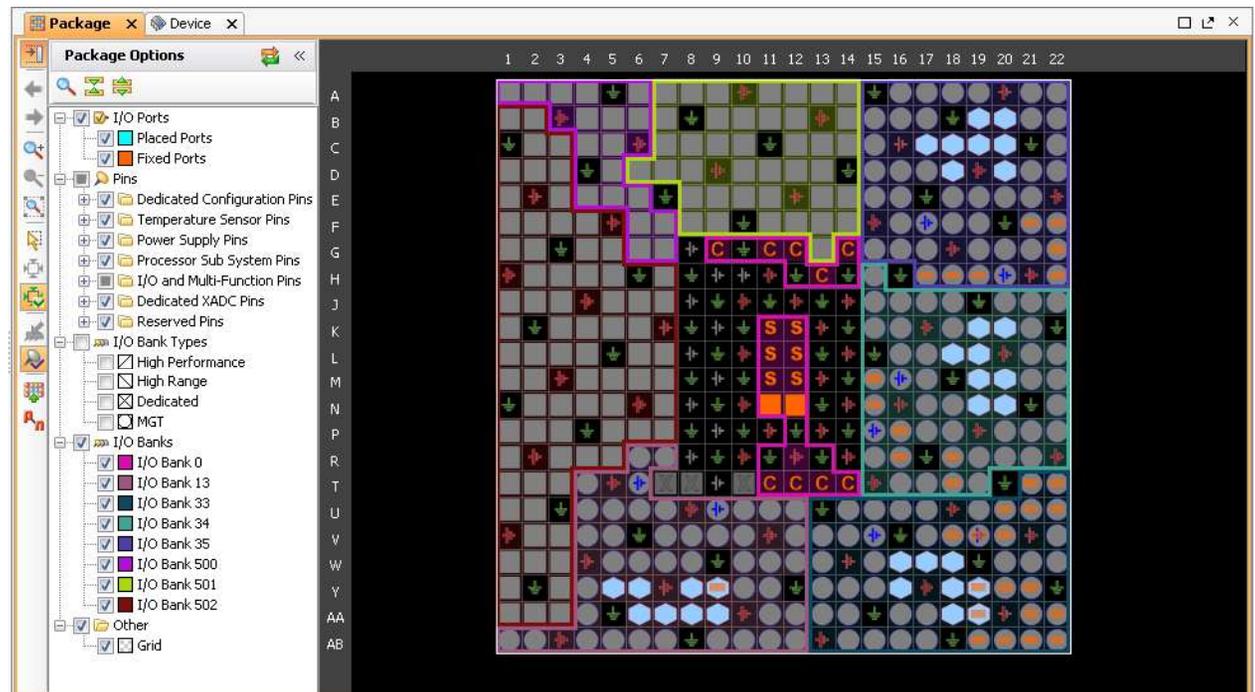
Herramienta I/O Planner

- Esta herramienta permite ver el encapsulado y la ubicación física, de manera de analizar las relaciones entre los bancos de I/O y la lógica del sistema
- Vista de encapsulado y de dispositivo
 - Se muestra en forma grafica los pines del encapsulado, los contactos en el silicio y los bancos de I/O
 - Los pines de I/O se pueden asignar en cualquiera de las dos vistas
- Vista de pines de encapsulado
 - Muestra la asignación de pines
 - Permite analizar retardos, tipos de pines, estándar de I/O asignado y pares diferenciales
 - Se pueden ver los pines como grupo, como banco de I/O o como una lista
 - La información asociada al pin se puede ver pasando por arriba de cada uno en la interfase grafica



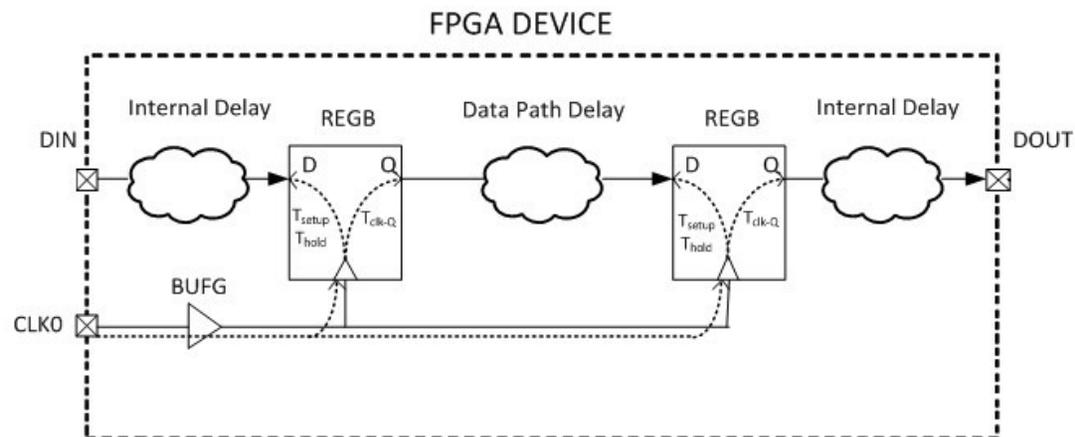
Vista de encapsulado (Package View)

- Las áreas coloreadas entre los pines muestran los bancos de I/O
- También se muestran los pares diferenciales
- Clock-capable pins (C), VCC (+), GND (↓), no connection (■), XADC (S), Temperature Sensor (■)



Camino de temporización y I/O

- **Los caminos de temporización comienzan en un elemento sincronizado y terminan en otro elemento sincronizado**
 - Los caminos desde un flip-flop a otro flip-flop generan restricciones sobre la señal de reloj
- **Las entradas y salidas de la FPGA no son comienzo o final de un camino de temporización**
 - La logica entre un I/O y un elemento sincronizado no es un camino de temporización
 - Si no hay restricciones adicionales, no se hace verificación de tiempos de estabilización o retención (setup/hold) sobre la logica asociada a un I/O



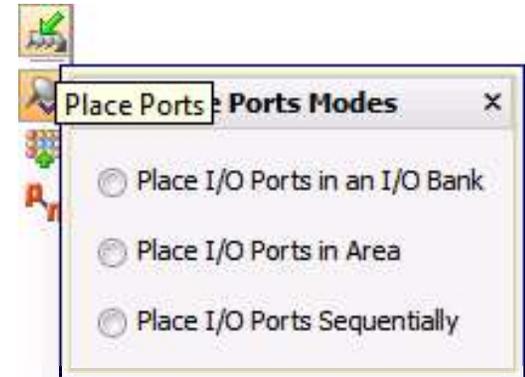
Vista de puertos de I/O (I/O Ports View)

- Muestra todos los puertos de I/O definidos en el proyecto
- Agrupa los buses
- Se puede ver como grupo de buses e interfaces o como una lista
- La mayor parte de las asignaciones de I/O se realizan en esta vista
- Mediante iconos se indica la dirección y el estado del puerto

Name	Direction	Board Part Pin	Board Part Interface	Neg Diff Pair	Site	Fixed	Bank	I/O Std	Vcco	Vref	Drive Strength	Slew Type	Pull Type	Off-Chip Termination
All ports (32)														
leds (4)														
leds[3]	Output				U21	<input checked="" type="checkbox"/>		33 LVC MOS533*	3.300	12	SLOW	NONE	FP_VTT_50	
leds[2]	Output				U22	<input checked="" type="checkbox"/>		33 LVC MOS533*	3.300	12	SLOW	NONE	FP_VTT_50	
leds[1]	Output				T21	<input checked="" type="checkbox"/>		33 LVC MOS533*	3.300	12	SLOW	NONE	FP_VTT_50	
leds[0]	Output				T22	<input checked="" type="checkbox"/>		33 LVC MOS533*	3.300	12	SLOW	NONE	FP_VTT_50	
sw (8)								(Multiple) LVC MOS533*	3.300			NONE	NONE	
sw[7]	Input				M15	<input checked="" type="checkbox"/>		34 LVC MOS533*	3.300			NONE	NONE	
sw[6]	Input				H17	<input checked="" type="checkbox"/>		35 LVC MOS533*	3.300			NONE	NONE	
sw[5]	Input				H18	<input checked="" type="checkbox"/>		35 LVC MOS533*	3.300			NONE	NONE	
sw[4]	Input				H19	<input checked="" type="checkbox"/>		35 LVC MOS533*	3.300			NONE	NONE	
sw[3]	Input				F21	<input checked="" type="checkbox"/>		35 LVC MOS533*	3.300			NONE	NONE	
sw[2]	Input				H22	<input checked="" type="checkbox"/>		35 LVC MOS533*	3.300			NONE	NONE	
sw[1]	Input				G22	<input checked="" type="checkbox"/>		35 LVC MOS533*	3.300			NONE	NONE	

Asignacion de puertos de I/O en forma interactiva

- En la vista de Dispositivo o de Encapsulado, seleccionar el boton *Place Ports*
- *Place I/O Ports in an I/O Bank* – Ubica puertos de I/O en bancos especificos
- *Place I/O Ports in Area* – Dibujar un rectangulo alrededor de los pines o pads a ubicar
- *Place I/O Ports Sequentially* – Seleccionar un pin o pad para cada puerto de I/O en forma individual
- El modo de ubicacion permanece constante hasta que se ubican todos los puertos de I/O o hasta cancelar la ubicacion
- La direccion (entrada, salida o bidireccional) se establece en la primer asignacion de pin o pad



Asignacion mediante Tcl: comando set_property

➤ **Se puede asignar pines mediante el comando set_property:**

```
-set_property PACKAGE_PIN T22 [get_ports led_pins[0]]
```

```
-set_property IOSTANDARD LVCMOS33 [get_ports led_pins[0]]
```

```
0
```

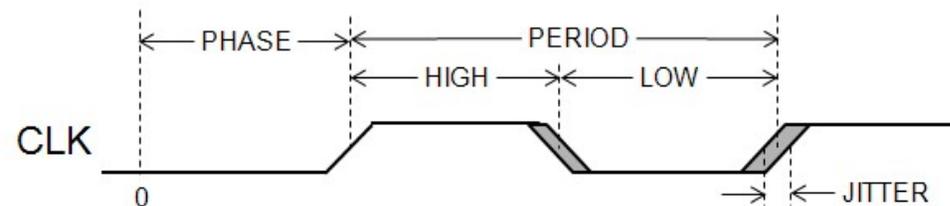
```
-set_property -dict {PACKAGE_PIN H17 IOSTANDARD LVCMOS33} [get_ports {  
led_pins[0] }]
```

Temario

- Restricciones de Pin
- **Restricciones de Temporizacion**
 - **Periodo**
 - Retardo de entrada
 - Retardo de salida
 - Relojes virtuales
- Asistente de Restricciones
- Resumen

Relojes

- Las señales de temporización (relojes) son señales periódicas que comandan a los elementos sincronizados
- Los relojes tienen atributos:
 - Periodo (Period)
 - Tiempo entre el flanco ascendente de la señal hasta el siguiente flanco ascendente
 - Ciclo activo (Duty cycle)
 - Cociente entre el tiempo en que la señal esta activa (normalmente el estado "alto") y el periodo
 - Variacion (Jitter)
 - Variacion del periodo respecto de su valor nominal
 - Fase (Phase)
 - Posicion relativa del flanco ascendente dentro del periodo



Los relojes como objetos

➤ Respecto a las restricciones, los relojes son objetos

➤ Propiedades de los relojes

- *NAME* Nombre de la señal de reloj
 - Se usa un nombre asignado o generado en forma automática dependiendo del tipo de reloj
- *PERIOD* Periodo del reloj
- *WAVEFORM* Posición de los flancos del reloj
- *IS_GENERATED, IS_VIRTUAL* Opciones que describen el tipo de reloj
- *SOURCE_PINS* Pines/Puertos/redes del reloj

Creacion de relojes

➤ Los relojes se crean con el comando Tcl `create_clock`

- `create_clock -name <name> -period <period> <objects>`

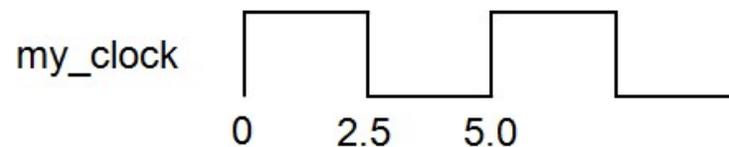
- `<period>` es el periodo del reloj

- `<name>` es el nombre del reloj

- `<objects>` es la lista de pines, puertos, o redes del reloj

- Si `<objects>` no esta, el reloj no esta asociado a una señal fisica y es un reloj virtual (se utiliza para fijar las restricciones de retardo de entrada y salida en un circuito puramente combinacional)

```
create_clock -name my_clock -period 5.0
```

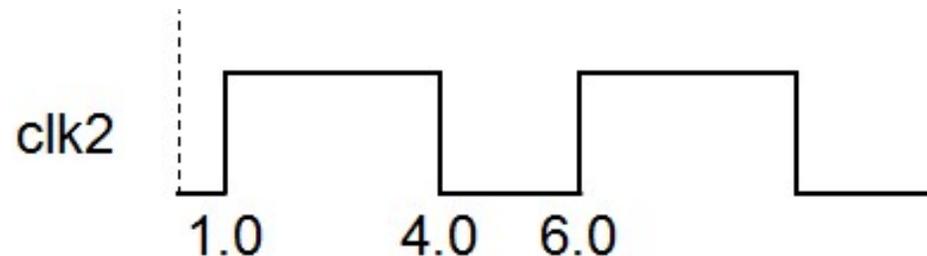


Atributo *Waveform*

➤ Los relojes se pueden crear con flancos en diferentes posiciones

- Permite la descripción de relojes con desplazamientos de fase y diferentes ciclos activos internamente (tipo tren de pulsos)
- Se indica mediante `-waveform <edges>`
 - `<edges>` es una lista de números que representa el tiempo de los sucesivos flancos
 - El primer número es el tiempo del primer flanco ascendente
 - Las opciones por defecto son 0.00 para el flanco ascendente y PERIOD/2 para el flanco descendente (reloj simétrico con 50% de ciclo activo)

```
create_clock -name clk2 -period 5.0 -waveform {1.0 4.0}
```



Atributo *Jitter*

➤ Las herramientas de análisis de temporización permiten trabajar con 2 tipos de jitter:

– System Jitter: Jitter de la red de la señal de reloj dentro de la FPGA

- Es un único valor para todas las señales de reloj del sistema
- Se configura con el comando Tcl `set_system_jitter`
- `set_system_jitter <value>`
 - `<value>` es el jitter en unidades de tiempo (nanoseconds)

– Input Jitter: Jitter de la señal de clock externa

- Se establece en forma independiente para cada señal de reloj externa
- Se configura con el comando Tcl `set_input_jitter`
- `set_input_jitter <clock_name> <value>`
 - `<clock_name>` nombre de la señal de reloj
 - `<value>` es el jitter en unidades de tiempo (nanoseconds)

➤ Ambas fuentes de jitter se combinan en los calculos para el analisis STA

Atributo *Clock Latency*

➤ **La latencia de una señal de reloj se establece mediante el comando Tcl `set_clock_latency`**

– `set_clock_latency -source <latency> <objects>`

– `<latency>` es la latencia a aplicar

– `<objects>` es la lista de relojes, puertos, o pines a los cuales se aplica la latencia

➤ **La latencia es un retardo adicional que se agrega entre el objeto reloj y el pin, puerto o red en la cual ese objeto es conectado**

– Si el comando `set_clock_latency` especifica un objeto reloj, la latencia se aplica a todos los caminos que utilizan ese reloj

– Si el comando `set_clock_latency` especifica un puerto o pin, se aplica a todas las señales de reloj que atraviesan ese puerto o pin

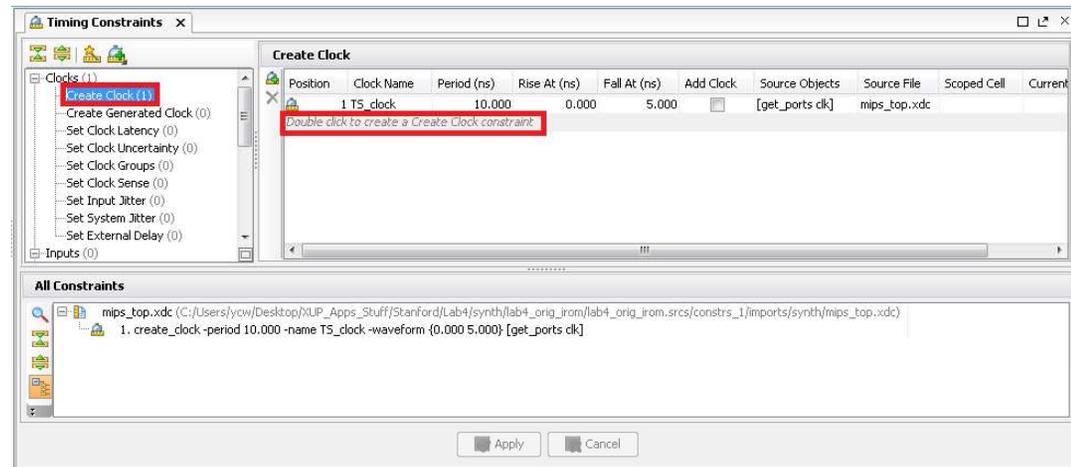
- Si el puerto o pin tiene más de una señal de reloj asociada, la opción `-clock <clocks>` se puede utilizar para especificar a cuáles señales de reloj aplicar la latencia

Opciones del comando *set_clock_latency*

- **El comando Tcl `set_clock_latency` tiene las siguientes opciones**
 - `--rise`: la latencia solo se aplica al flanco ascendente del reloj
 - `--fall`: la latencia solo se aplica al flanco descendente del reloj
 - `--min`: Especifica la latencia a aplicar cuando se utiliza el camino mas corto de la señal de reloj
 - `--max`: Especifica la latencia a aplicar cuando se utiliza el camino mas largo de la señal de reloj
- **Si las opciones `--min/--max` no se especifican, la latencia se aplica a ambos caminos**
- **Si las opciones `--rise/--fall` no se especifican, la latencia se aplica a ambos flancos de la señal de reloj**

Creacion de relojes utilizando la interfase gráfica

- La ventana *Timing Constraint* se abre usando la opcion de menu **Window -> Timing Constraints**
 - Un reloj se crea dando doble click en la opcion *Create Clock*, o en una nueva fila de la tabla *Create Clock*
- Tambien se puede crear a traves del asistente de restricciones (**Constraints Wizard**)



Asistente *Create Clock*

Nombre
Del
Reloj

Creates a clock object. The created clock is applied to the specified source objects. If you do not specify source objects, but give a clock name, a virtual clock is created.

Clock name:

Source objects:

Waveform

Period: ns

Rise at: ns

Fall at: ns

Add this clock to the existing clock (no overwriting)

Command:

Reference Reset to Defaults OK Cancel

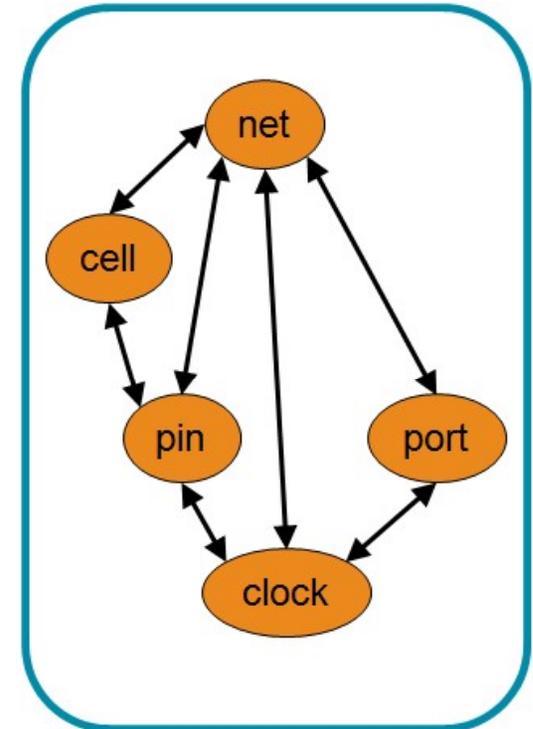
Objeto al
que se le
asocia el
reloj

Periodo y ciclo
del reloj

Comando
TCL para
crear el
reloj

Gestion de objetos Reloj

- **Los relojes pueden estar asociados a pines, puertos o redes**
 - Se especifica la lista de pines, puertos o redes a las que se conecta el reloj cuando este es creado
- **Una vez creados, los objetos reloj se pueden listar con el comando Tcl `get_clocks`**
 - `get_clocks <name>`
 - Devuelve la lista de relojes que coinciden con `<name>`
 - `<name>` puede incluir wildcards



Temario

- Restricciones de Pin
- **Restricciones de Temporizacion**
 - Periodo
 - **Retardo de entrada**
 - Retardo de salida
 - Relojes virtuales
- Asistente de Restricciones
- Resumen

Interfases de entrada sincronicas

➤ **La mayoría de las interfases entre dispositivos (memorias, conversores A/D y D/A, capturadores de imagenes/video, etc) y la FPGA utilizan comunicacion sincronica**

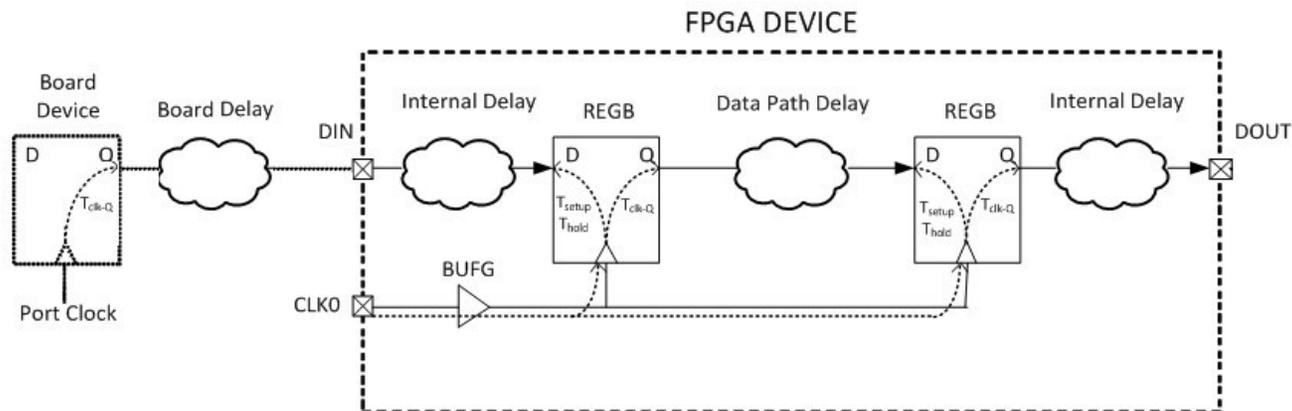
- La FPGA y el dispositivo comparten una señal de temporización
 - Usualmente una señal de reloj en común

➤ **Camino de temporización en una entrada:**

- Comienza en un elemento sincronizado en el dispositivo
 - Referido a un reloj provisto por el dispositivo
- Finaliza en un elemento sincronizado dentro de la FPGA
 - Referido a un reloj que se propaga al elemento sincronizado dentro de la FPGA
- Se propaga a traves de los elementos entre ambos
 - CLK -> Q del dispositivo
 - Tiempo de propagacion de la placa
 - Tiempo de propagacion en el puerto de la FPGA
 - Tiempo de propagacion en los elementos combinatoriales de la FPGA antes de llegar al elemento sincronizado

Completando el camino de temporización de la entrada

- **Para completar el camino de temporización de la entrada, se deben describir los elementos externos**
 - Como es el reloj utilizado en el dispositivo externo
 - El retardo entre el reloj del dispositivo externo y la entrada de la FPGA
 - Incluye el tiempo de CLK \rightarrow Q (propagación interna en el dispositivo externo) y el retardo por el ruteo en la placa (board delay)



Comando *set_input_delay*

➤ **El comando `set_input_delay` provee la información para completar el camino de temporización de la entrada**

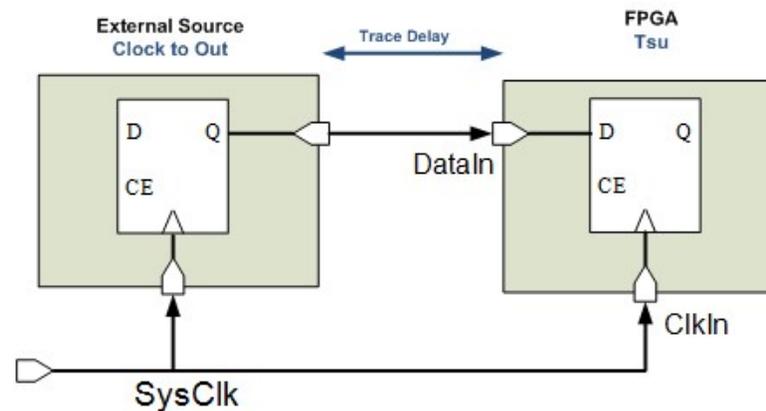
- `set_input_delay -clock <clock_name> <delay> <objects>`

- `<clock_name>` es el nombre del reloj usado por el dispositivo externo
 - Puede ser un reloj real o virtual
 - Puede ser el nombre de un reloj, no es necesario que sea un objeto reloj, aunque también puede serlo
- `<objects>` es la lista de objetos a los cuales se les asigna esta información
 - Usualmente un conjunto de puertos de entrada
 - Se lo suele utilizar junto con el comando `get_ports` o el comando `all_inputs`
- `<delay>` es el retardo desde `<clock_name>` hasta los objetos `<objects>`
 - Incluye los retardos internos del dispositivo externo y el retardo de propagación de la placa

Uso de un reloj en comun

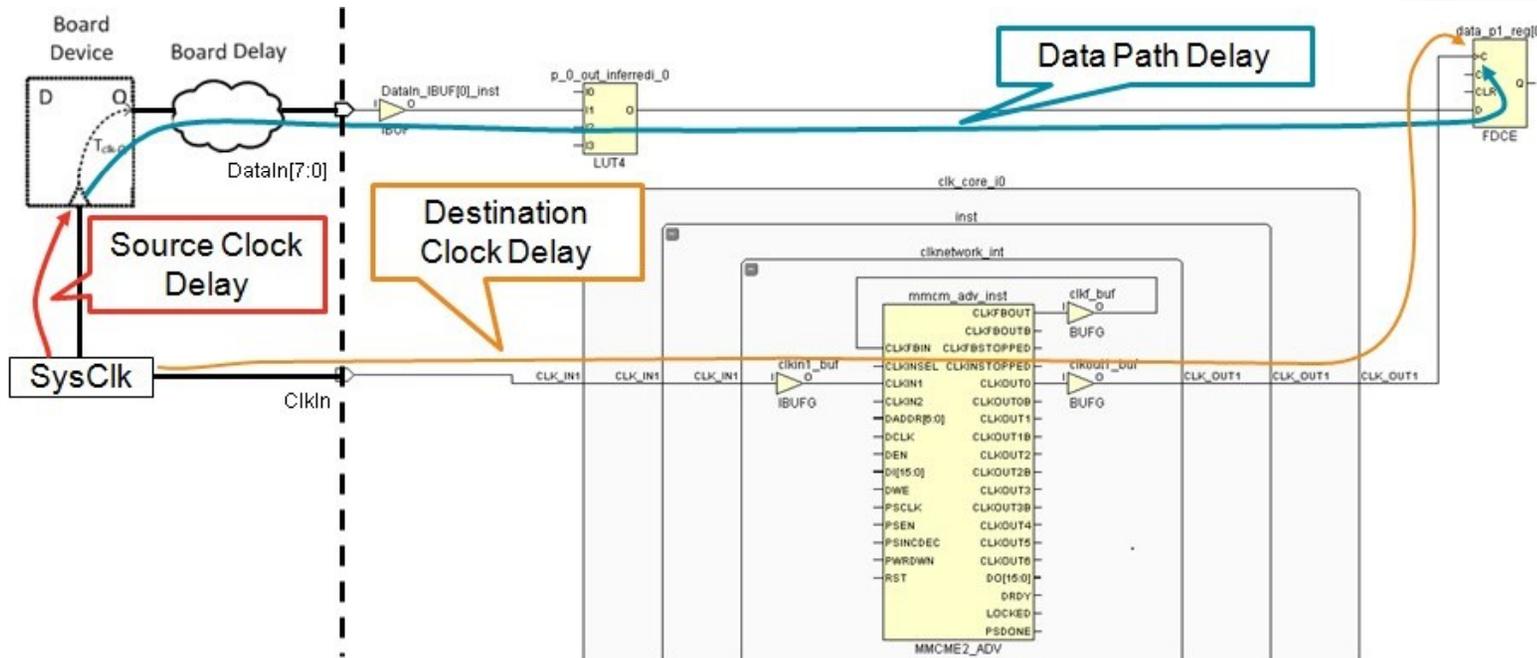
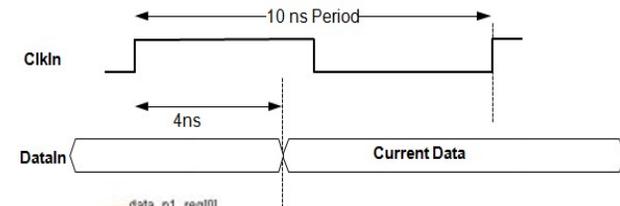
- Un comando `set_input_delay` puede estar referido a un reloj existente
 - Puede ser el reloj asociado al pin de entrada de reloj de la FPGA
- El valor utilizado para el comando `set_input_delay` es la suma de:
 - El tiempo de reloj a salida del dispositivo externo
 - Retardo de ruteo de la placa (Trace delay)

```
create_clock -name SysClk -period 10 [get_ports ClkIn]
set_input_delay -clock SysClk 4 [get_ports DataIn]
```



Ejemplo de `set_input_delay`

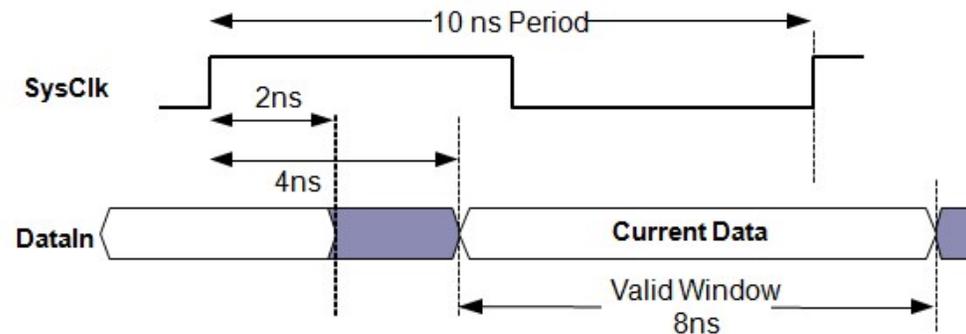
```
create_clock -name SysClk -period 10 [get_ports ClkIn]  
set_input_delay -clock SysClk 4 [get_ports DataIn]
```



Retardos maximos y minimos

- Cada puerto de entrada tiene un retardo maximo y minimo asociado
 - El retardo maximo se usa para verificar los tiempos de establecimiento (Setup)
 - El retardo minimo se usa para verificar los tiempos de retencion (Hold)
- Si no se aplica la opcion `-max` o `-min` el valor provisto se aplica a ambos retardos

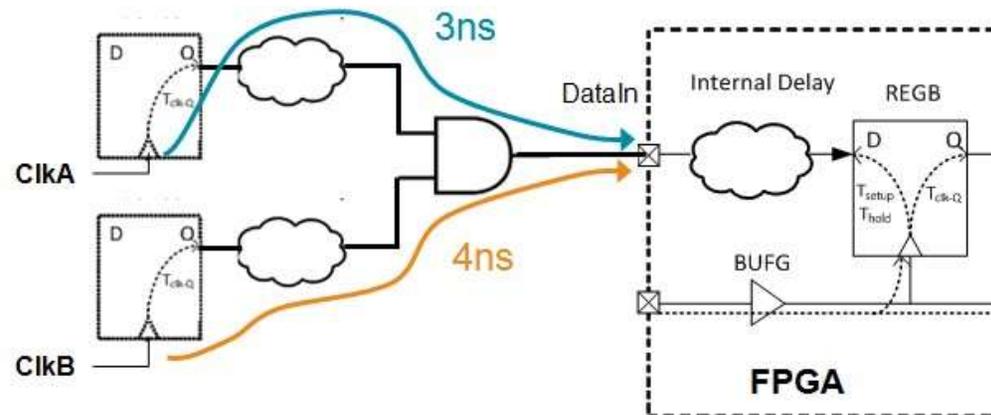
```
create_clock -name SysClk -period 10 [get_ports ClkIn]
set_input_delay -clock SysClk 4 [get_ports DataIn]
set_input_delay -clock SysClk -min 2 [get_ports DataIn]
```



Retardos multiples en un mismo puerto

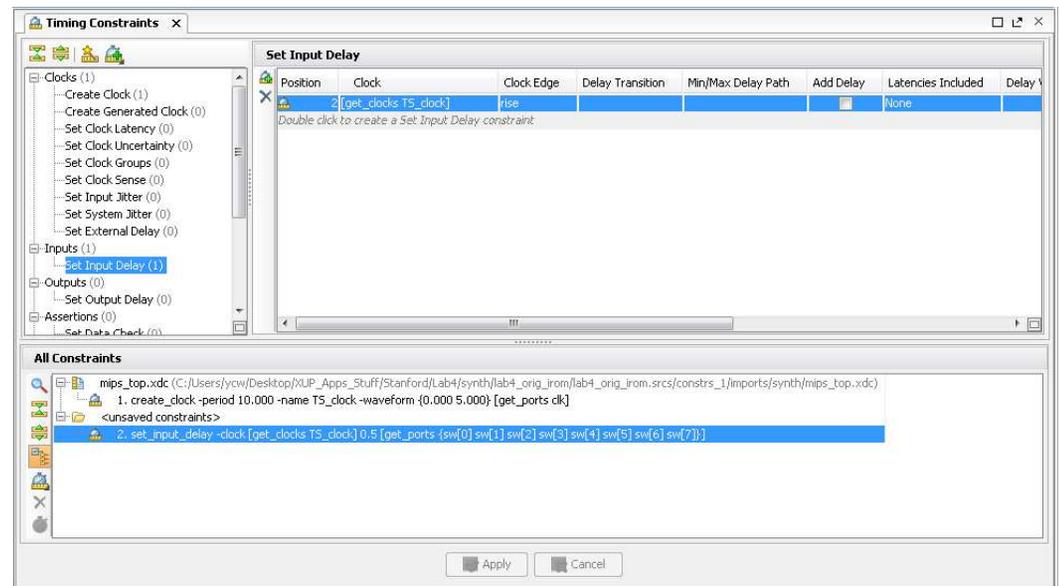
- Una entrada puede tener varios comandos `set_input_delay` asociados, para modelizar distintos caminos de señal
 - Se utiliza la opcion `-add_delay`
 - Esto implica tener distintos caminos de temporizacion

```
set_input_delay -clock ClkA 3 [get_ports DataIn]
set_input_delay -clock ClkB 4 [get_ports DataIn] -add_delay
```



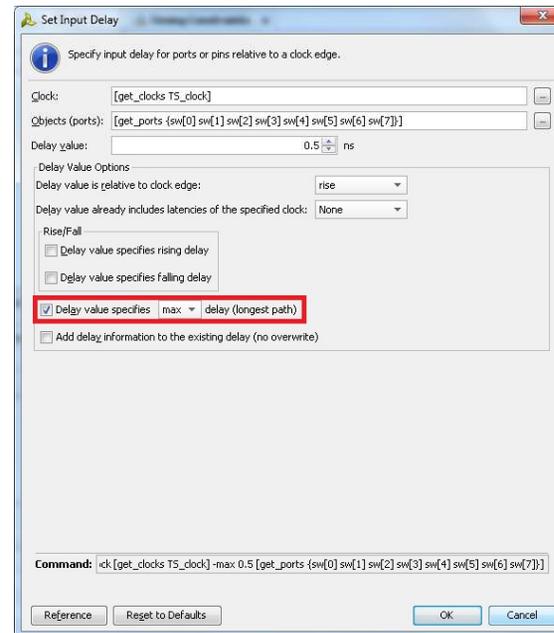
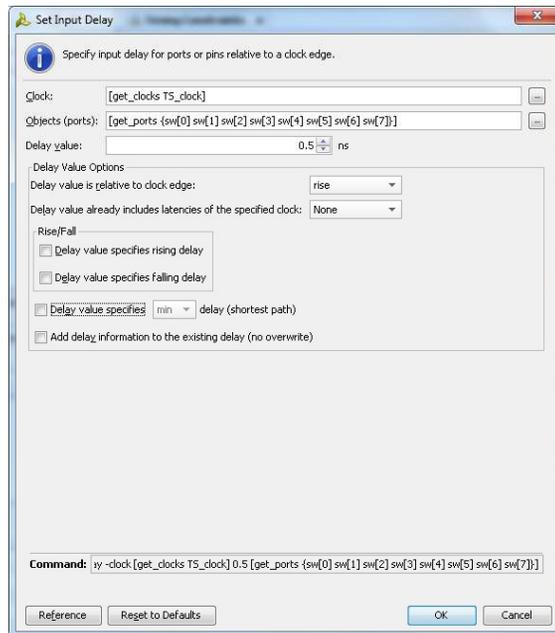
Crear retardos de entrada con la interfase gráfica

- La ventana *Timing Constraint* se abre usando la opción de menu **Window -> Timing Constraints**
 - El retardo se crea dando doble click en la opción *Set Input Delay*, o en una nueva fila de la tabla *Set Input Delay*
- También se puede crear a través del asistente de restricciones (**Constraints Wizard**)



Asistente *Set Input Delay*

- Se establecen restricciones separadas para los valores maximos y minimos

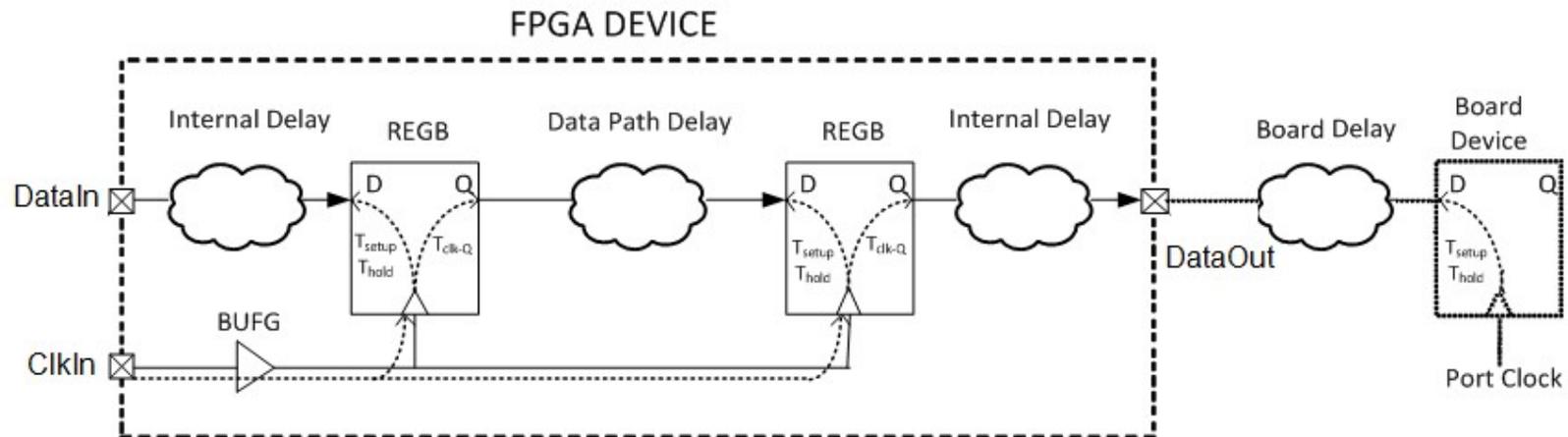


Temario

- Restricciones de Pin
- **Restricciones de Temporizacion**
 - Periodo
 - Retardo de entrada
 - **Retardo de salida**
 - Relojes virtuales
- Asistente de Restricciones
- Resumen

Completando el camino de temporizacion de salida

- **Para completar el camino de temporizacion de la salida, se deben describir los elementos externos**
 - Como es el reloj utilizado en el dispositivo externo
 - El retardo entre el reloj del dispositivo externo y la salida de la FPGA
 - Incluye el tiempo de setup (estabilizacion de señal de entrada antes del flanco de reloj en el dispositivo externo) y el retardo por el ruteo en la placa (board delay)



Comando *set_output_delay*

➤ **El comando `set_output_delay` provee la información necesaria para completar el camino de temporización de salida**

- `set_output_delay -clock <clock_name> <delay> <objects>`

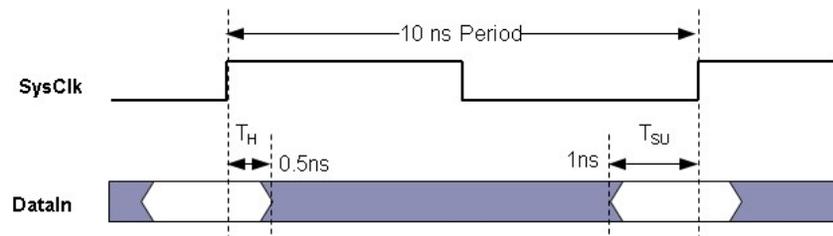
- `<clock_name>` es el nombre del reloj utilizado por el dispositivo externo
 - Puede ser un reloj real o virtual
 - Puede ser el nombre de un reloj, no es necesario que sea un objeto reloj, aunque también puede serlo
- `<objects>` es la lista de objetos a los cuales se les asigna esta información
 - Usualmente un conjunto de puertos de salida
 - Se lo suele utilizar junto con el comando `get_ports` o el comando `all_inputs`
- `<delay>` es el retardo desde los objetos `<objects>` hasta `<clock_name>`
 - Incluye los retardos internos del dispositivo externo y el retardo de propagación de la placa

Requerimientos de estabilizacion y retencion del dispositivo externo (External Setup and Hold)

➤ Los dispositivos externos tienen tiempos de estabilizacion y retencion propios

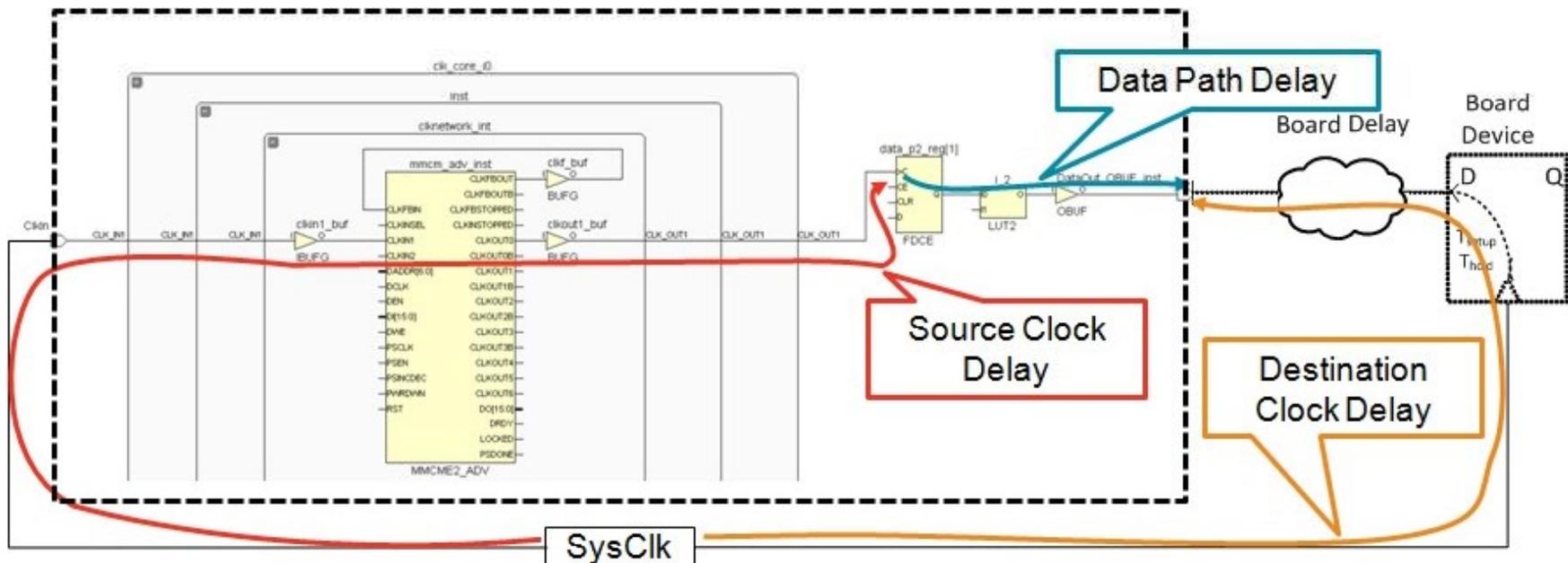
- `set_output_delay -max` especifica el tiempo de estabilizacion (setup time)
- `set_output_delay -min` especifica el tiempo de retencion (hold time), se especifica como un número negativo

```
create_clock -name SysClk -period 10 [get_ports ClkIn]
set_output_delay -clock SysClk 1 [get_ports DataIn]
set_output_delay -clock SysClk -min -0.5 [get_ports DataIn]
```



Camino de temporizacion de la salida

- El camino de temporizacion de salida se descompone en tres partes
 - Data path delay: tiempo de propagacion en el puerto de la FPGA
 - Destination clock delay: tiempo de propagacion del reloj del dispositivo externo
 - Source clock delay: tiempo de propagacion del reloj de la FPGA



Distintos retardos de salida en el mismo puerto

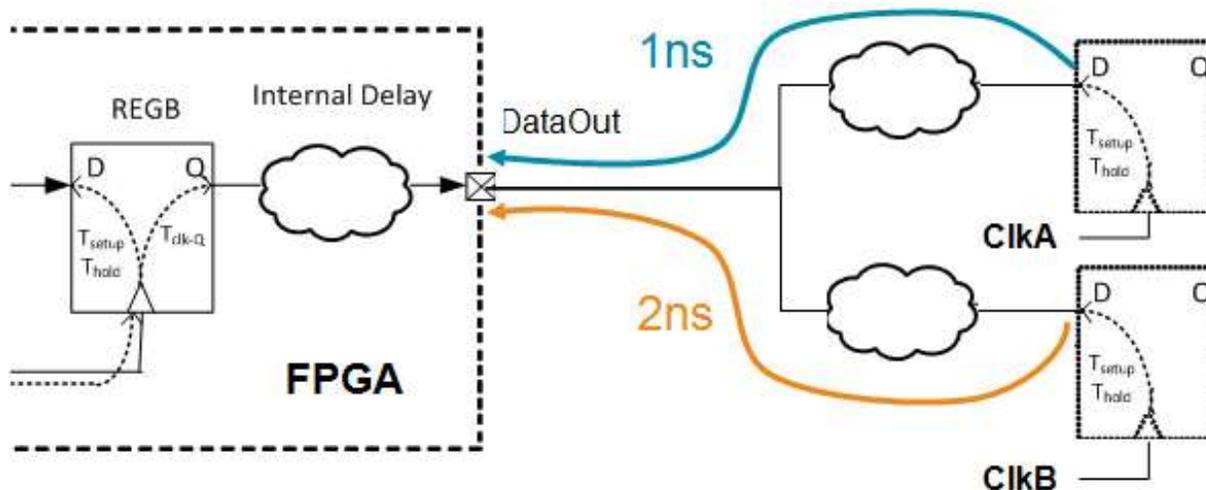
➤ Una salida puede tener varios comandos `set_output_delay` asociados, para modelizar distintos caminos de señal

– Se utiliza la opción `-add_delay`

– Esto implica tener distintos caminos de temporización

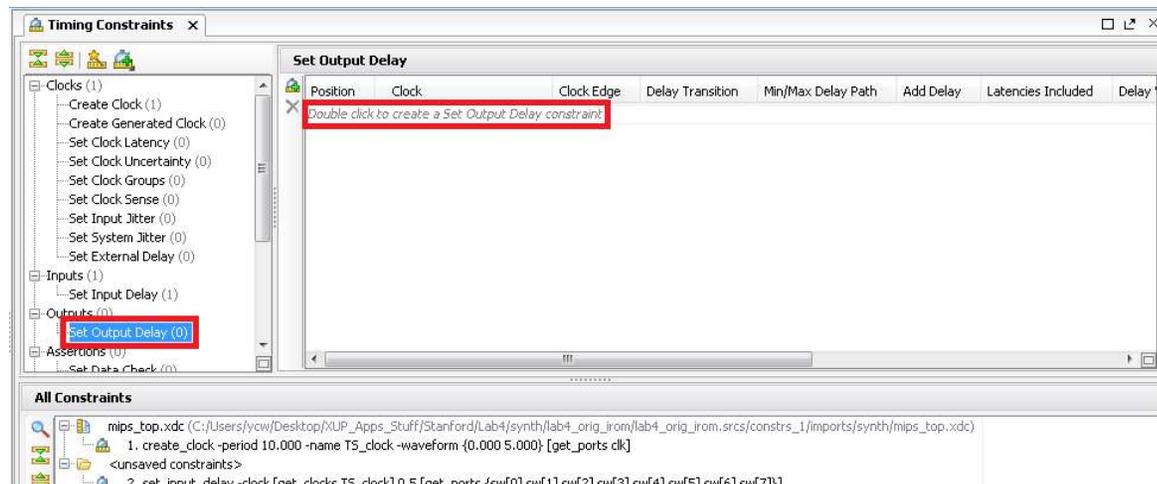
```
set_output_delay -clock ClkA 1 [get_ports DataOut]
```

```
set_output_delay -clock ClkB 2 [get_ports DataOut] -add_delay
```



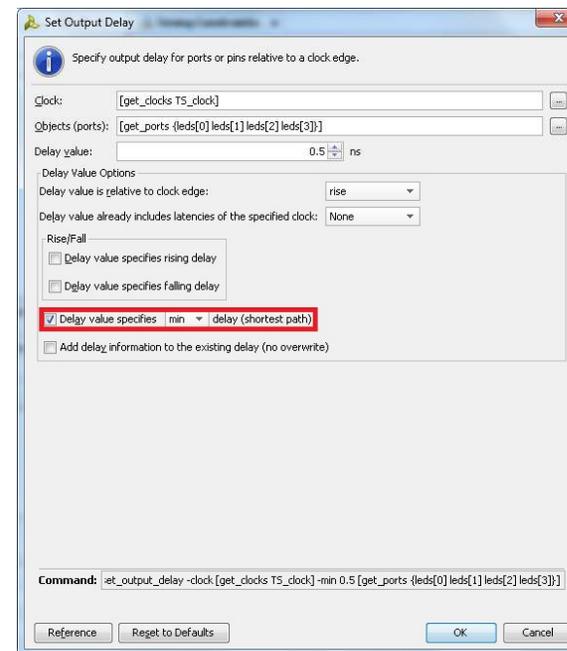
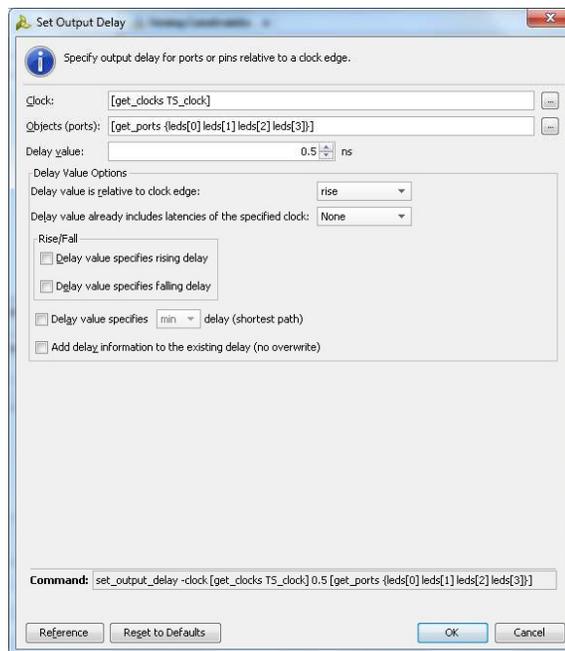
Crear retardos de salida usando la interfase gráfica

- La ventana **Timing Constraint** se abre usando la opción de menú **Window -> Timing Constraints**
 - El retardo se crea dando doble click en la opción **Set Output Delay**, o en una nueva fila de la tabla **Set Output Delay**
- También se puede crear a través del asistente de restricciones (**Constraints Wizard**)



Asistente *Set Output Delay*

- Se establecen restricciones separadas para los valores maximos y minimos



Temario

- Restricciones de Pin
- **Restricciones de Temporizacion**
 - Periodo
 - Retardo de entrada
 - Retardo de salida
 - **Relojes virtuales**
- Asistente de Restricciones
- Resumen

Relojes para los retardos de entrada y salida

- **Los relojes especificados en los comandos `set_input_delay` y `set_output_delay` pueden ser cualquier reloj definido**
 - Puede ser un reloj creado manualmente y asociado a una entrada de reloj de la FPGA
 - Puede ser un reloj derivado de uno generado dentro de la FPGA
 - Se puede hacer, pero no suele ser útil, salvo que la FPGA genere la temporización de los dispositivos externos
- **Algunas veces el reloj necesario no se ha definido aun**
 - Los relojes virtuales pueden ser creados con el solo proposito de especificar retardos de entrada y salida

Razones para usar relojes virtuales

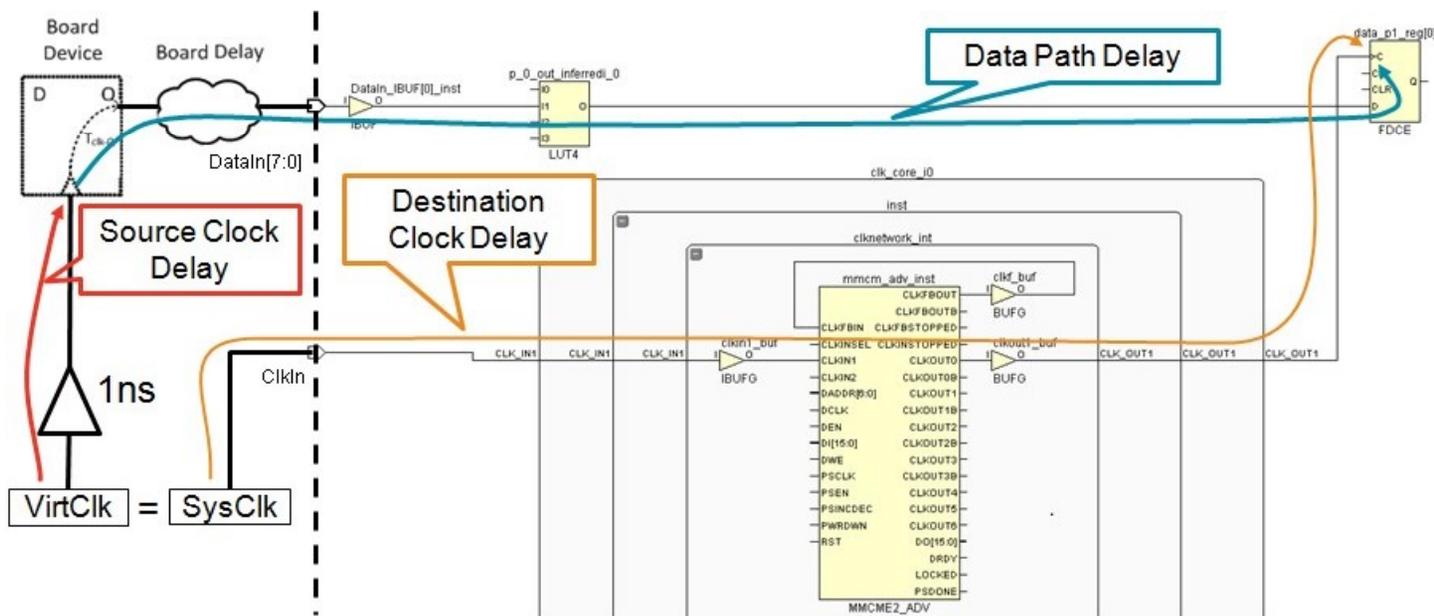
- **El dispositivo externo usa un reloj compatible al de la FPGA**
 - Puede ser un múltiplo o divisor del reloj de la FPGA
 - Puede ser de la misma frecuencia que un reloj interno generado con un bloque MMCM/PLL
- **Tiene un retardo distinto**
 - Puede ser que haya un I.C. que actúe como buffer /amplificador, generando un retardo adicional
- **Estos relojes se describen mediante XDC**

Crear relojes virtuales

- **Se crean tambien utilizando el comando Tcl** `create_clock`
 - No se le asigna ningun objeto asociado
 - `create_clock -name <name> -period <period>`
 - `<period>` es el periodo del reloj
 - `<name>` es el nombre del reloj
 - Se puede usar la opcion `-waveform`
- **Se puede especificar el jitter con el comando** `set_input_jitter`
- **Se puede especificar la latencia con el comando** `set_clock_latency -source`
- **Los relojes virtuales se gestionan igual que los otros relojes**
 - Se pueden ver con el comando `report_clocks`
 - Se pueden acceder con el comando `get_clocks`

Aplicacion: camino de temporizacion con un buffer/amplificador en la señal de reloj

```
create_clock -name SysClk -period 10 [get_ports ClkIn]
create_clock -name VirtClk -period 10
set_clock_latency -source 1 [get_clocks VirtClk]
set_input_delay -clock VirtClk 4 [get_ports DataIn]
```



Temario

- Restricciones de Pin
- Restricciones de Temporizacion
 - Periodo
 - Retardo de entrada
 - Retardo de salida
 - Relojes virtuales
- **Asistente de Restricciones**
- Resumen

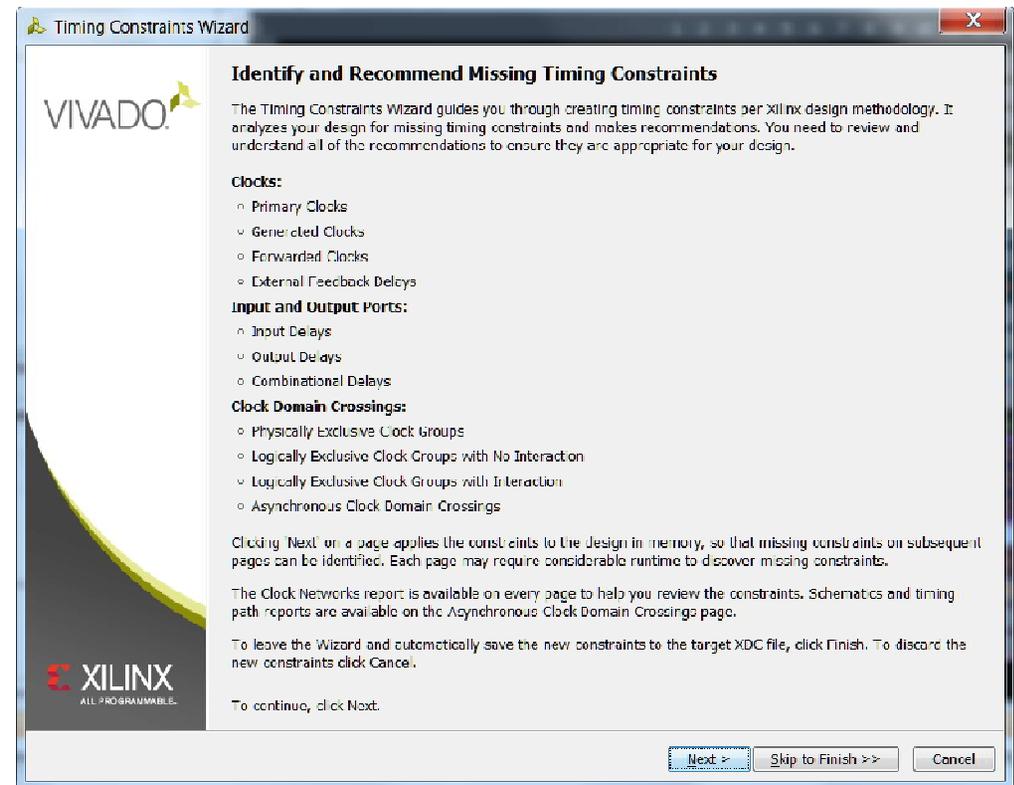
Asistente de restricciones (*Constraints Wizard*)

➤ Se puede ejecutar despues del proceso de sintesis o de implementacion

- Permite fijar restricciones de temporizacion manualmente o aceptar las sugerencias propuestas
- Las restricciones se establecen en el archivo XDC a traves del editor de restricciones temporales
- Es recomendable su uso para verificar que no falten definir restricciones o comprobar las restricciones establecidas

➤ Flexibilidad

- No es obligatorio aceptar las restricciones propuestas
- El asistente se puede ejecutar aun si ya hay restricciones definidas en el archivo XDC

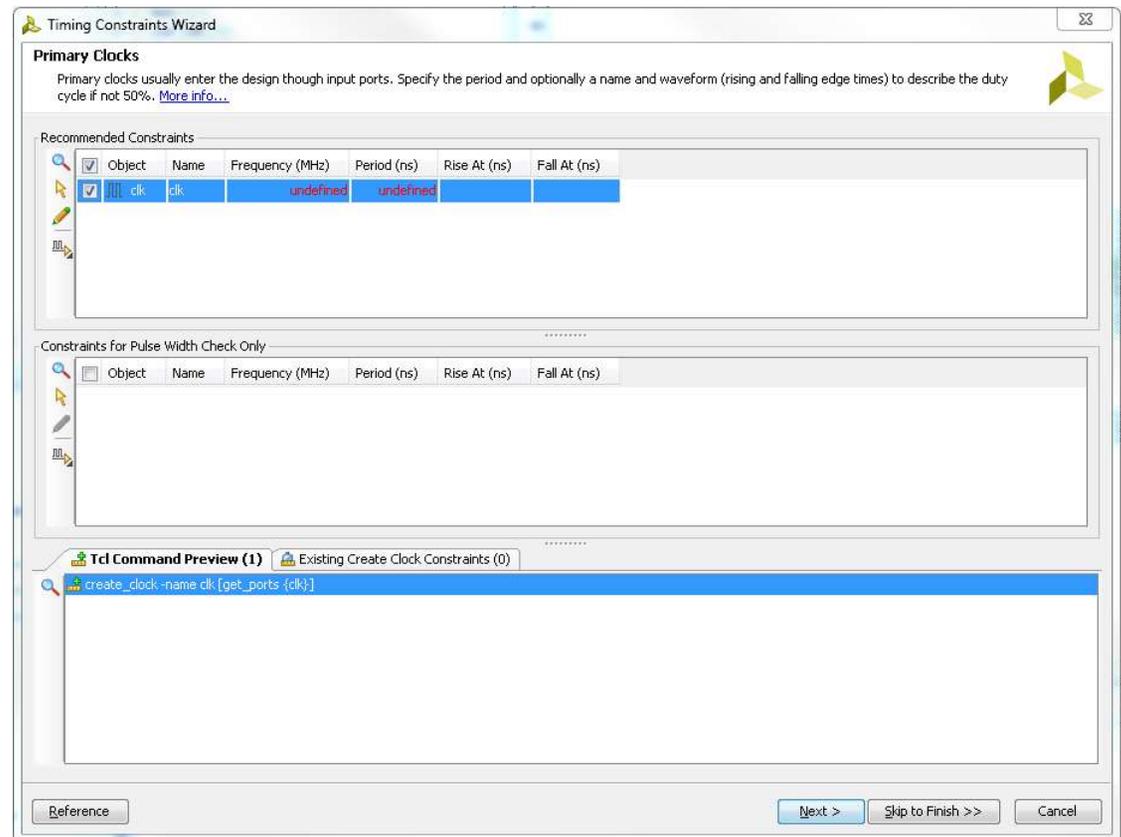


Reloj Principal

➤ Define la forma de onda del reloj

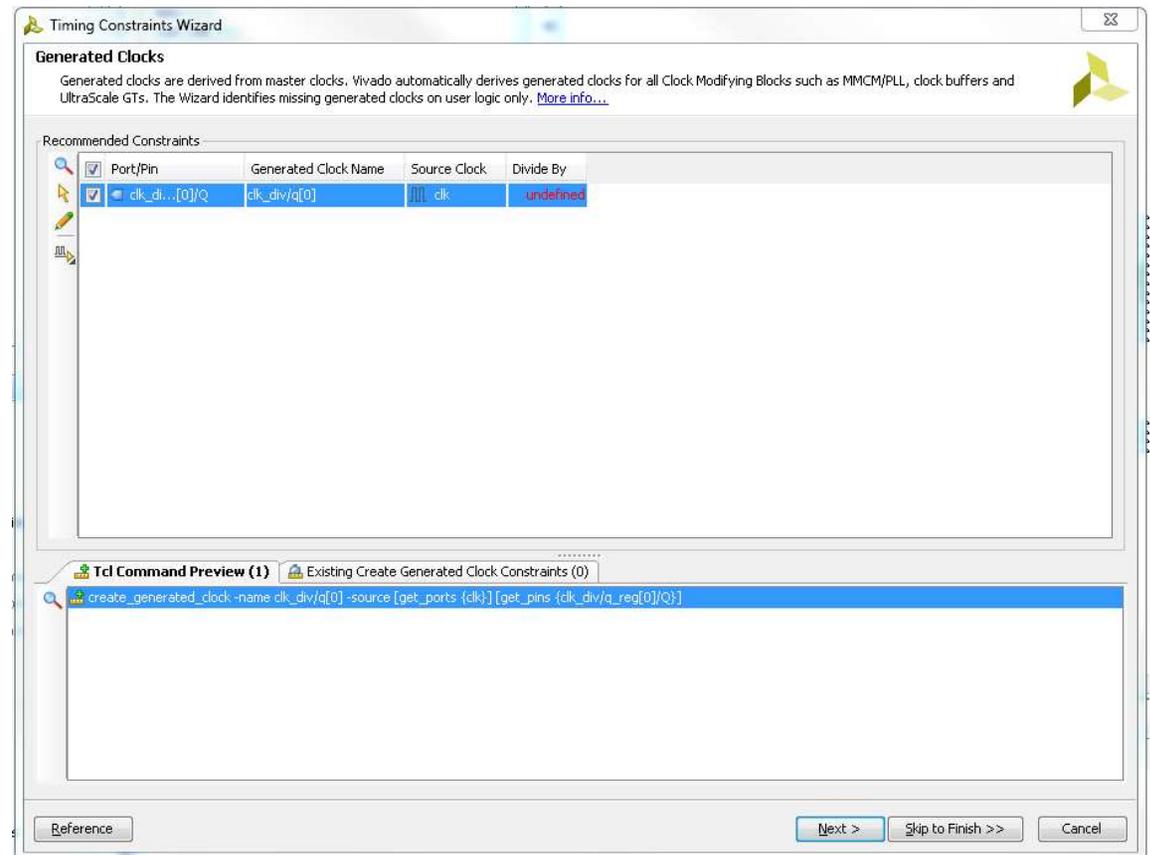
- Objecto
- Nombre
- Frecuencia (MHz)
- Periodo (ns)
- Tiempo de flanco ascendente (ns)
- Tiempo de flanco descendente (ns)

➤ Los comandos Tcl a aplicar se pueden ver en la ventana de la parte inferior del asistente



Relojes asociados

- Se presentan los relojes derivados del reloj principal
- Estos relojes son derivados de la fuente del reloj principal
 - Bloques MMCM/PLL
 - Buffers de relojes externos



Retardos de Entrada

- **Define en forma grafica los retardos de entrada**
 - Se identifican todas las señales que entran a la FPGA
- **Se definen los parametros del retardo**
 - tco_min
 - trce_dly_min
 - tco_max
 - trce_dly_max

The screenshot shows the 'Timing Constraints Wizard' dialog box, specifically the 'Input Delays' step. The title bar reads 'Timing Constraints Wizard'. Below the title, the 'Input Delays' section explains that input delays describe the relative phase between reference clocks and input signals at the FPGA boundary. A table of 'Recommended Constraints' lists five interfaces: 'bo...n', 'center_btn', 'left_btn', 'right_btn', and 'top_btn'. Each interface is associated with a clock signal 'clk', a 'System' synchronous clock, and an 'Edge' alignment with 'Single Rise' data rate and edge. To the right, the 'Delay Parameters' section shows a 'Clock period' of 10 ns and fields for 'tco_min', 'trce_dly_min', 'tco_max', and 'trce_dly_max', all of which are currently set to 'undefined'. Below these fields, the formulas for 'Rise Max = tco_max + trce_dly_max' and 'Rise Min = tco_min + trce_dly_min' are displayed. At the bottom of the wizard, there is a 'Tcl Command Preview' section with a tab for 'Existing Set Input Delay Constraints (0)' and a 'Waveform - System | Edge | Single Rise' tab. The waveform shows an 'input clock' signal and a 'data' signal. The data signal is shown with a delay relative to the clock edge, with arrows indicating the minimum delay $(tco_min + trce_dly_min)$ and the maximum delay $(tco_max + trce_dly_max)$. Navigation buttons at the bottom include 'Reference', 'Next >', 'Skip to Finish >>', and 'Cancel'.

Retardos de Salida

➤ Define en forma grafica los retardos de salida

- Se identifican todas las señales que salen de la FPGA

➤ Se definen los parametros del retardo

- tsu
- trce_dly_min
- thd
- trce_dly_max

Timing Constraints Wizard

Output Delays
Output delays describe relative phase between reference clocks (usually board or forwarded clocks) and output signals at the FPGA boundary. Inaccurate output delay values can make timing fail and affect implementation quality of results. [More info...](#)

Recommended Constraints

Interface	Clock	Synchronous	Alignment	Data Rate and Edge
ledsf[*]	clk	System	Setup/Hold	Single Rise
b1	clk	System	Setup/Hold	Single Rise
b2	clk	System	Setup/Hold	Single Rise
b3	clk	System	Setup/Hold	Single Rise
b4	clk	System	Setup/Hold	Single Rise
ch...c	clk	System	Setup/Hold	Single Rise
ch...c	clk	System	Setup/Hold	Single Rise
g1	clk	System	Setup/Hold	Single Rise
g2	clk	System	Setup/Hold	Single Rise
g3	clk	System	Setup/Hold	Single Rise
g4	clk	System	Setup/Hold	Single Rise
r1	clk	System	Setup/Hold	Single Rise
r2	clk	System	Setup/Hold	Single Rise
r3	clk	System	Setup/Hold	Single Rise
r4	clk	System	Setup/Hold	Single Rise

Delay Parameters

Clock period: 10 ns

tsu: undefined ns

trce_dly_max: undefined ns

thd: undefined ns

trce_dly_min: undefined ns

Rise Max = trce_dly_max + tsu
Rise Min = trce_dly_min - thd

Apply

Tcl Command Preview (30) Existing Set Output Delay Constraints (0) Waveform - System | Setup/Hold | Single Rise

destination clock

data

$(trce_dly_max + tsu)$

$(trce_dly_min - thd)$

Reference Next > Skip to Finish >> Cancel

Otras restricciones

➤ Forwarded Clocks

- Se aplica a señales de salida que se utilizaran como señales de reloj en dispositivos externos

➤ External Feedback Delays

- Se aplica si el lazo de realimentación del bloque MMCM/PLL se rutea fuera de la FPGA y se lo vuelve a ingresar a través de pines/puertos de entrada o salida

➤ Combinatorial Delay

- Se aplica a caminos que atraviesan la FPGA sin pasar por elementos secuenciales

➤ Physically Exclusive Clock Groups

- Define relojes que no existen simultáneamente en el sistema (cuando se hace reconfiguración parcial)

➤ Logically Exclusive Clock Groups with No Interaction

- Define relojes que no tienen caminos en común

➤ Logically Exclusive Clock Groups with Interaction

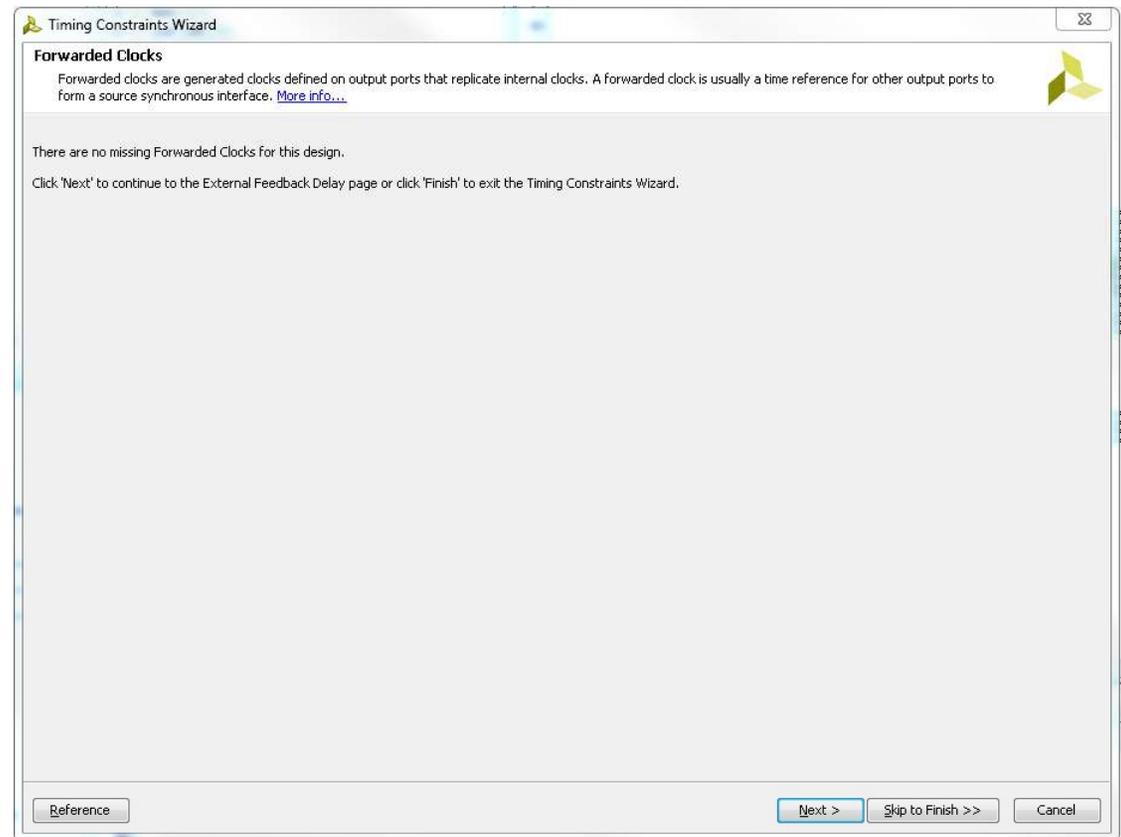
- Define relojes que tienen caminos de señal en común

➤ Asynchronous Clock Domain Crossings

- Define caminos para transferir datos entre dominios de reloj que no tienen una relación de frecuencia/fase establecida

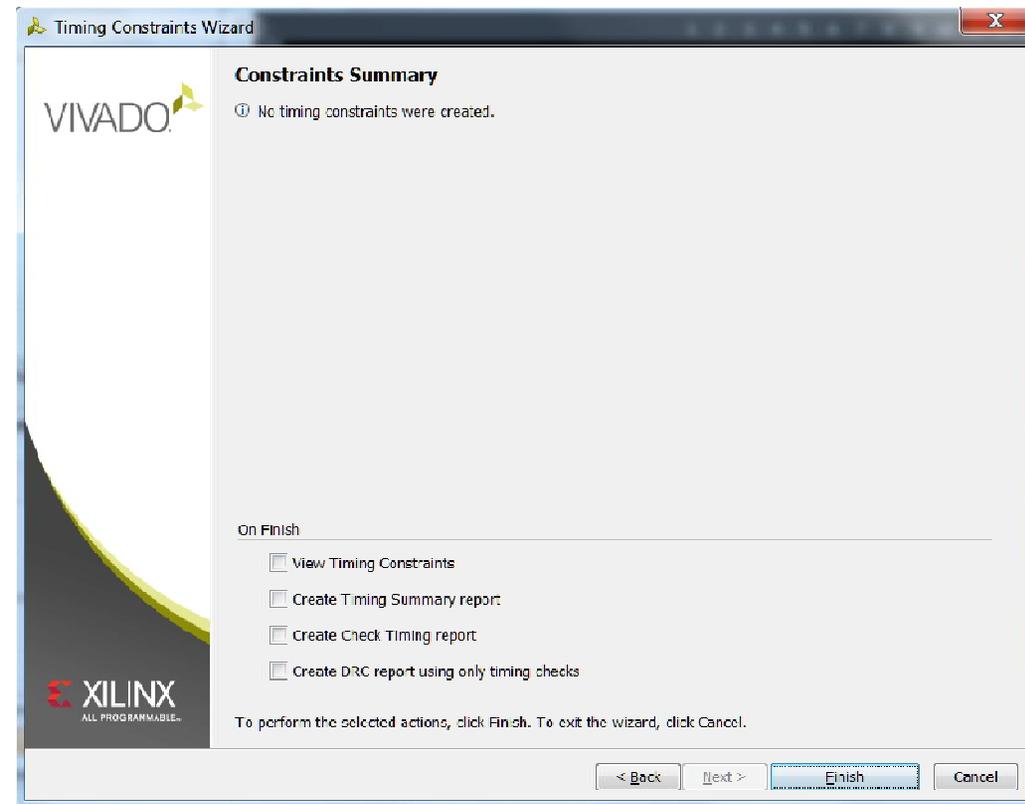
Restricciones no aplicables

- Cuando las restricciones no son aplicables al sistema, no aparecen sus opciones



Sumario de restricciones

- **La ultima pantalla del asistente muestra las restricciones que se agregaran al archivo XDC**
 - Las restricciones generadas no se aplican inmediatamente al archivo XDC
 - Se pueden hacer otras operaciones luego de finalizar el asistente
 - Ver las restricciones
 - Crear un reporte Timing Summary
 - Crear un reporte Check Timing
 - Crear un reporte DRC usando solo chequeos de tiempos



Temario

- Restricciones de Pin
- Restricciones de Temporizacion
 - Periodo
 - Retardo de entrada
 - Retardo de salida
 - Relojes virtuales
- Asistente de Restricciones
- **Resumen**

Resumen

- La herramienta I/O Planner se puede utilizar para asignar pines en forma grafica
- La herramienta I/O Planning se utiliza al principio del proyecto para agregar informacion a los reportes y analisis
 - Chequeos DRC
 - Analisis de ruido SSO
 - Verificar las reglas de los bancos de I/O
- Los caminos de temporizacion comienzan en elementos sincronizados y terminan en elementos sincronizados
- Los caminos de temporizacion se analizan para verificar los tiempo se establecimiento y retencion
- Los relojes se crean con el comando Tcl `create_clock`

Summary

- **Los comandos `set_input_delay` y `set_output_delay` permiten configurar los parametros de los caminos de temporizacion**
- **`set_input_delay` especifica el retardo de entrada**
- **`set_output_delay` especifica el retardo de salida**
 - `--max` es el tiempo de establecimiento
 - `--min` es el tiempo de retencion
- **Los puertos tienen valores `--min` y `--max` por defecto**
- **Se pueden agregar retardos adicionales a un puerto mediante la opcion `--add_delay`**
- **Los retardos de I/O se pueden especificar tambien relativos a relojes virtuales**
- **El asistente de restricciones permite crear las restricciones en forma grafica**