

Gestión de IP

Contenido

- Conocer la herramienta *IP Integrator* para administrar IP predefinida
- Crear y reutilizar IP a nivel sistema
- Conocer la herramienta *IP Packager* para integrar IP propia al catalogo de IP disponible
- Conocer los distintos tipos de IP disponible en el catalogo
- Usar el asistente de temporizacion para configurar y agregar recursos de temporizacion al sistema

Temario

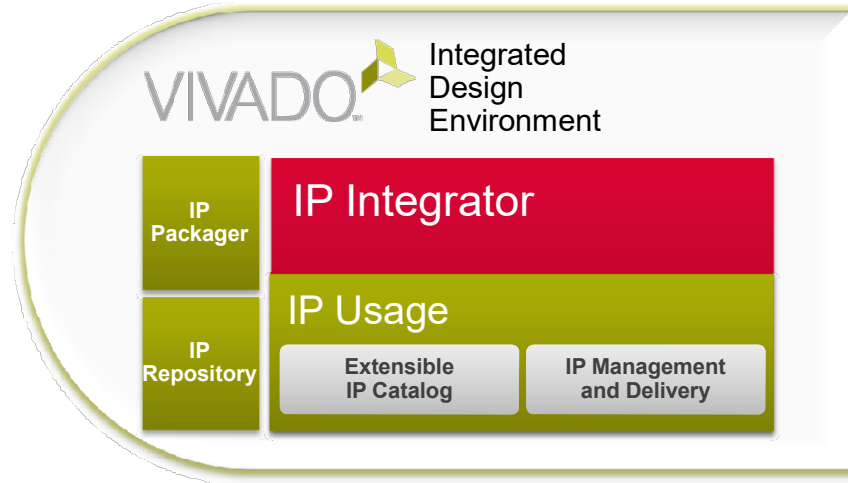
- **Herramienta IP Integrator**
- Herramienta IP Packager
- Catalogo de IP
- Asistente de Temporizacion
- Resumen

Diseño de sistemas con IP externa

- **La IP externa suele tener distintas interfaces**
 - Muchas señales, mapeo complejo a archivos RTL
 - La conectividad dentro del sistema no es simple
- **La IP externa es parameterizable**
 - El sistema debe ser consistente en las interfaces entre bloques
 - Se debe tener en cuenta la interacción entre los distintos bloques
- **Puede ser necesario reutilizar parte de un sistema y ponerlo disponible para utilizar en otros proyectos**

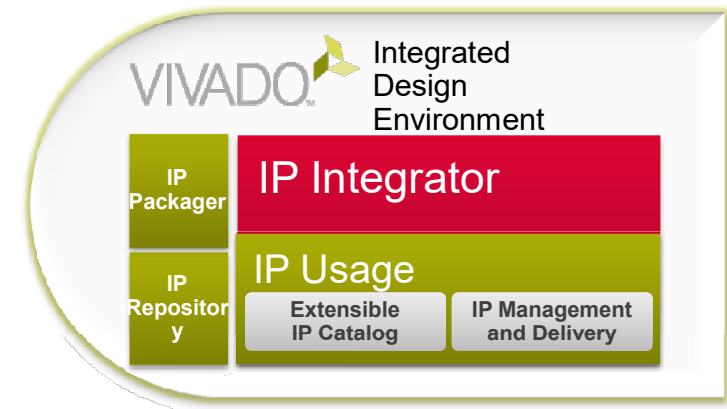
Herramienta IP Integrator

- Es una herramienta para agregar IP externa en sistemas basados en procesadores o sistemas basados en maquinas de estado
- Tiene un entorno grafico y se puede manejar mediante scripts para configurar la IP e integrarla al sistema



IP Integrator

- **Conectividad a nivel interface**
 - Se pueden administrar interfaces complejas (por ejemplo controladores de memoria)
 - Se pueden crear interfaces personalizadas
- **Integracion y reutilizacion de IP**
 - Permite la reutilizacion de IP ya probada y depurada
- **Generacion automatica de codigo fuente HDL**
 - La IP se integra a nivel componentes/bloques al codigo fuente
- **Permite crear sistemas basados en procesador**
 - Procesador, buses, perifericos y su interconexion
 - Integracion con perifericos personalizados
- **Se utiliza principalmente a traves de una interface grafica**



Interface grafica de IP Integrator

The image displays the Vivado 2015.2 IP Integrator interface. The main window shows a system hierarchy diagram with a central 'AXI-Interconnect' block connected to various processing blocks like 'fir_left', 'fir_right', and 'zed_audio_ctrl_0'. A red box labeled 'Hierarchy Support' highlights the interconnect block. A search window on the right lists various IP blocks such as '1G/2.5G Ethernet PCS/PMA or SGMII', '2D Graphics Accelerator Bit Block Transfer', and '3GPP LTE Channel Estimator'. A red box labeled 'Interface Connections with Live DRCs' points to the connections between the interconnect and the processing blocks. A red box labeled 'Extensible IP Repository' points to the search window. The bottom left shows the 'TCL Console' with a list of commands for adding components and generating the design layout.

System Hierarchy View

Interface Connections with Live DRCs

Extensible IP Repository

TCL Console

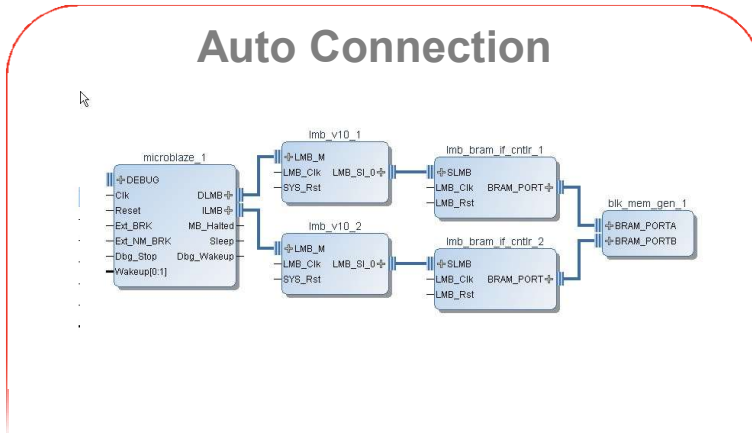
```
Adding component instance block -- xilinx.com:ip:axi_gpio:2.0 -- axi_gpio_0
Adding component instance block -- xilinx.com:user:zed_audio_ctrl:1.0 -- zed_audio_ctrl_0
Adding component instance block -- xilinx.com:ip:cpu0_eye_receiv:1.0 -- rst_processing_system7_0_100M
Adding component instance block -- xilinx.com:ip:fir:1.0 -- fir_left
Adding component instance block -- xilinx.com:ip:fir:1.0 -- fir_right
Adding component instance block -- xilinx.com:ip:axi_crossbar:2.1 -- xbar
Adding component instance block -- xilinx.com:ip:axi_protocol_converter:2.1 -- auto_pc
Successfully read diagram <system> from BD file <C:/xap/sys_design/2015_2_zyng_labs/lab5/audio/audio.xpr> from source_1/bd/system/system.
regenerate_bd_layout
```

Características de la integración de IP externa

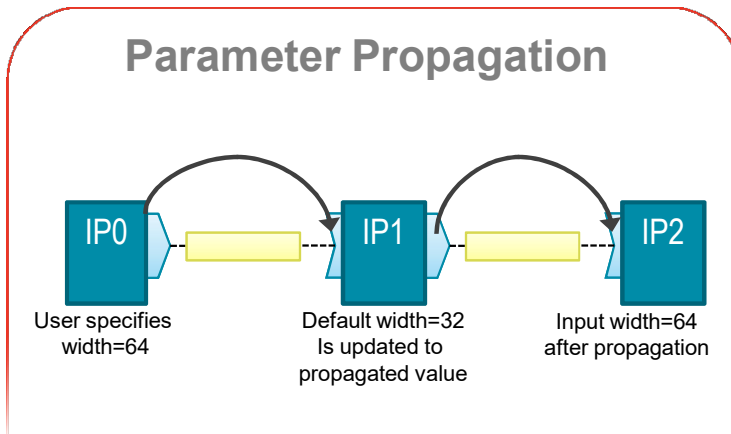
Real-time DRCs



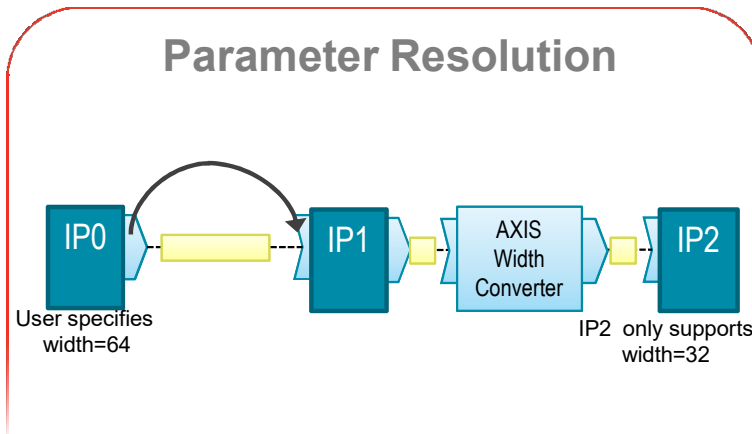
Auto Connection



Parameter Propagation



Parameter Resolution

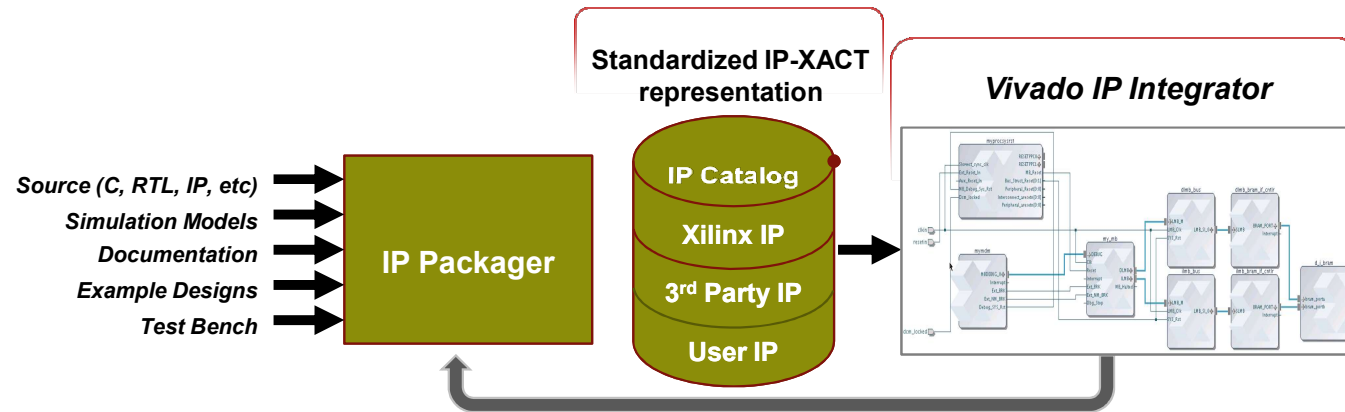


Temario

- Herramienta IP Integrator
- **Herramienta IP Packager**
- Catalogo de IP
- Asistente de Temporizacion
- Resumen

Reutilizacion de IP

- Se puede integrar IP de distintas fuentes
- Toda la IP disponible en el catalogo se puede utilizar en un sistema
- Los diagramas creados con IP Integrator se pueden convertir en una sola IP, ocultando la complejidad del subsistema

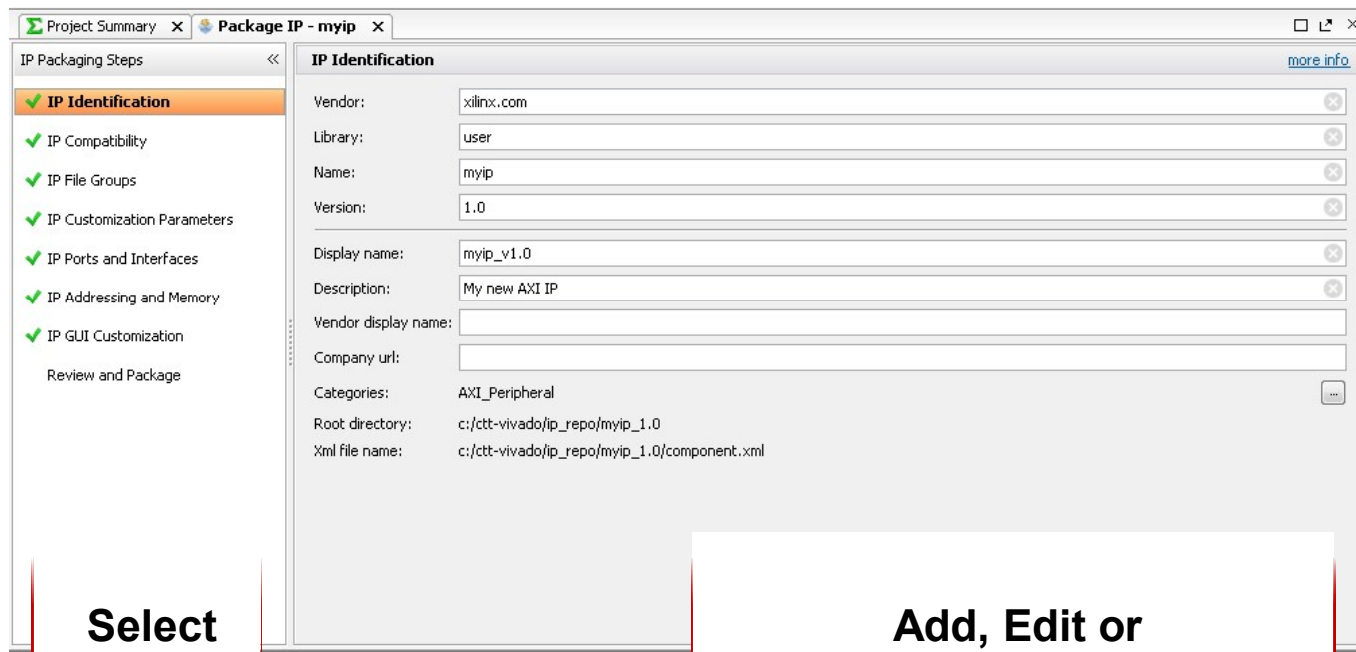


Creacion de IP propia utilizando IP Packager

- **Se utiliza mediante un asistente**
 - Automatiza el proceso de generacion de IP
 - Se infiere en forma automatica la informacion adicional (simulacion, documentacion, etc)
 - Se puede agregar meta-data adicional



Personalizacion de la IP propia en IP Packager



The screenshot shows the IP Packager application window with the 'IP Identification' step selected in the left-hand navigation pane. The main area displays the configuration for a new IP component. The fields are as follows:

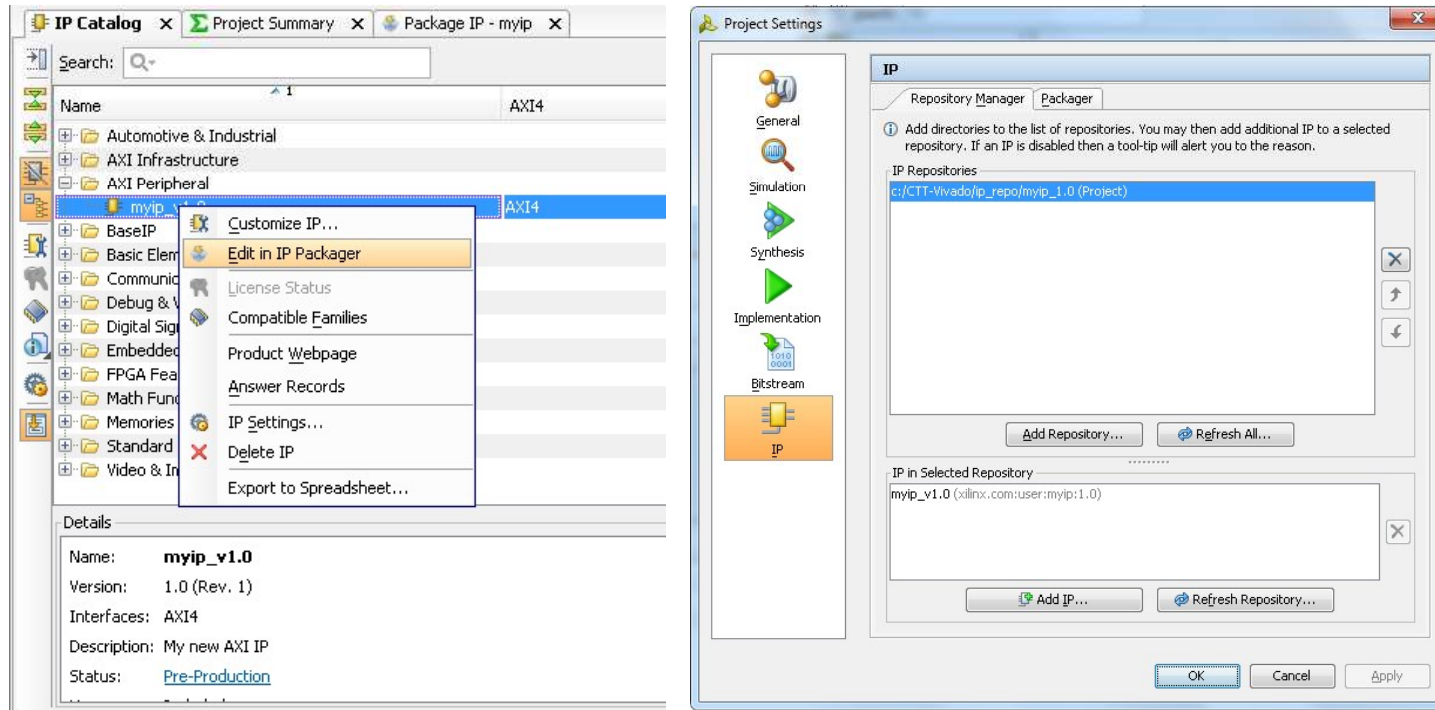
Field	Value
Vendor	xilinx.com
Library	user
Name	myip
Version	1.0
Display name	myip_v1.0
Description	My new AXI IP
Vendor display name	
Company url	
Categories	AXI_Peripheral
Root directory	c:/ctt-vivado/ip_repo/myip_1.0
Xml file name	c:/ctt-vivado/ip_repo/myip_1.0/component.xml

Below the screenshot, two callout boxes provide instructions:

- Select Options**: Points to the left-hand navigation pane.
- Add, Edit or change defaults**: Points to the main configuration area.

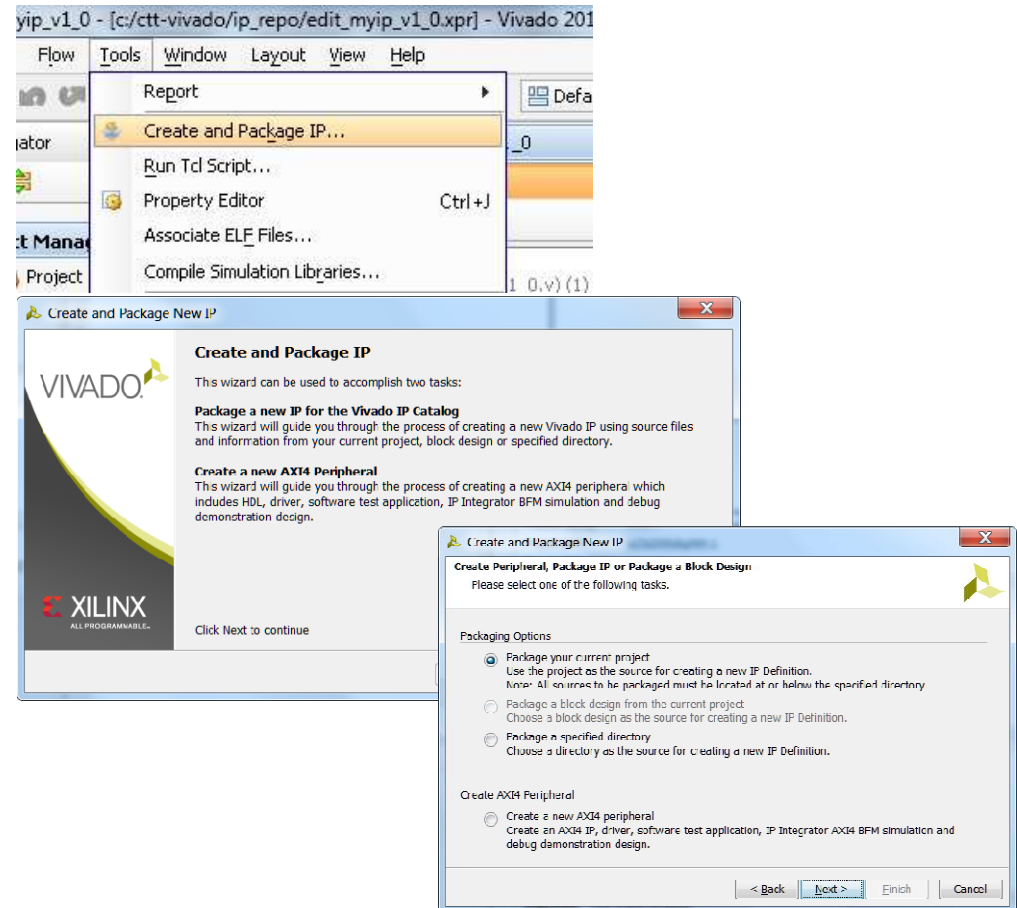
Reutilizacion de IP

- El catalogo de IP se puede ampliar agregando nuevos repositorios. Toda la IP (independientemente de su origen) se gestiona de la misma manera



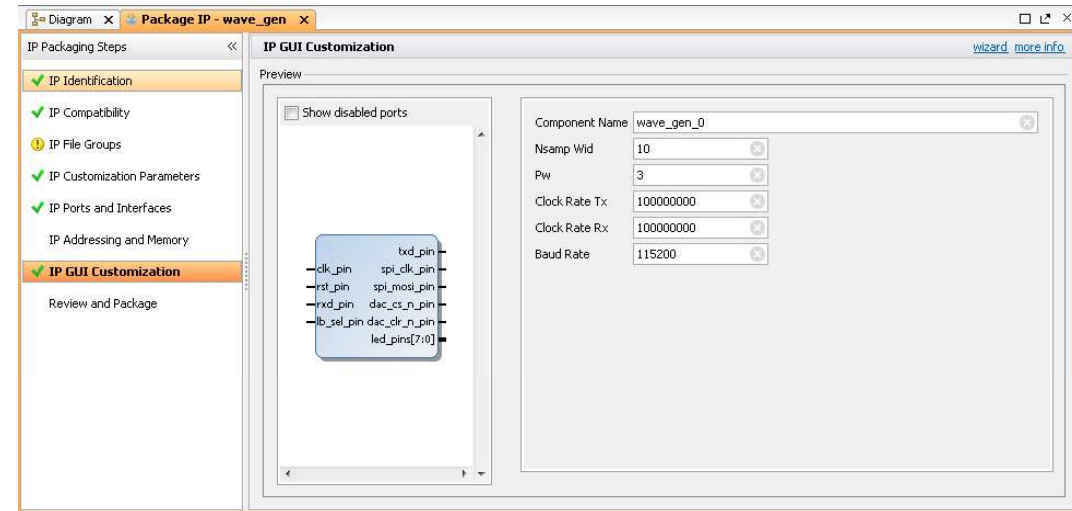
Herramienta IP Packager

- La herramienta IP Packager permite que un modulo/bloque logico se integre al catalogo de IP para su uso o distribucion
- La IP se compone de:
 - Codigo fuente
 - Restricciones
 - Archivos de prueba
 - Documentacion
- Esta herramienta puede ejecutarse desde el entorno grafico o en forma independiente



Herramienta IP Packager

- Realiza un análisis de los archivos para determinar los parametros de la IP en forma automatica
- Genera un resumen de las características de la IP
- Identifica:
 - Archivos fuente
 - Parametros
 - Puertos
 - Interfases
- Crea una interface grafica para parametrizar la IP



Herramienta IP Packager

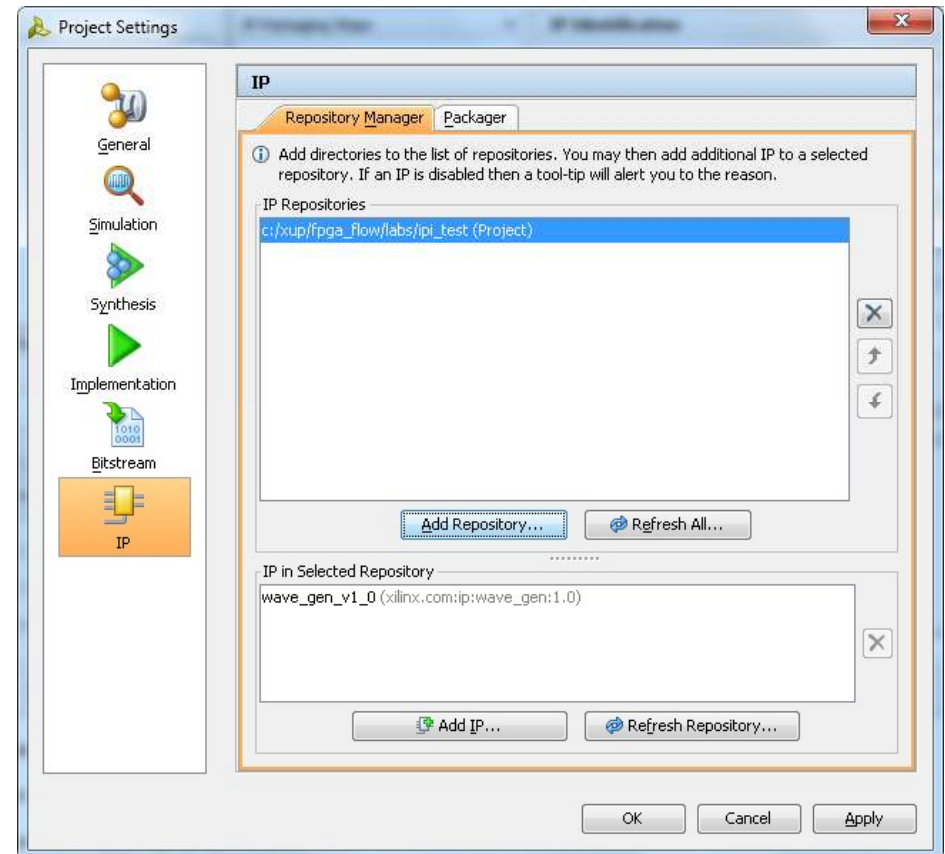
➤ Configuración de la IP

- Propiedades
- Compatibilidad
- Archivos
- Parametros especificos
- Puertos
- Interfases
- Direccion y memoria



Repositorios de IP

- Se crea un archivo específico *component.xml* para la IP
- Se especifica la ubicación física de los archivos de la IP
- Se integra la IP al repositorio general



Temario

- Herramienta IP Integrator
- Herramienta IP Packager
- **Catalogo de IP**
- Asistente de Temporizacion
- Resumen

Catalogo de IP

- Contiene la colección de IP que puede utilizarse en un sistema
- Permite la construcción rápida de sistemas de características estándar
- Cada bloque IP tiene sus propios parámetros de configuración
- La mayor parte de la IP es de uso libre, pero algunas requieren una licencia individual
- Se almacenan como código fuente en el directorio de instalación de las herramientas
 - Se procesan de la misma manera que el código fuente HDL
 - Algunas IP se almacenan encriptadas y solo se pueden integrar en la implementación

Name	AXI4	Status	License	VLNV
Vivado Repository				
Alliance Partners				
Automotive & Industrial				
AXI Infrastructure				
BaseIP				
Basic Elements				
Communication & Networking				
Debug & Verification				
Debug				
IBERT 7 Series GTP		Production	Included	xilinx.com:ip:ibert_7series_gtp:3.0
ILA (Integrated Logic Analyzer)	AXI4, AXI4-Stream	Production	Included	xilinx.com:ip:ila:5.1
JTAG to AXI Master	AXI4	Production	Included	xilinx.com:ip:jtag_axi:1.0
VIO (Virtual Input/Output)		Production	Included	xilinx.com:ip:vio:3.0
Simulation Clock Generator		Production	Included	xilinx.com:ip:clk_gen:1.0
Simulation Reset Generator		Production	Included	xilinx.com:ip:rst_gen:1.0
Digital Signal Processing				
Embedded Processing				
FPGA Features and Design				
Math Functions				
Memories & Storage Elements				
Partial Reconfiguration				
Standard Bus Interfaces				
Video & Image Processing				

Catalogo de IP

➤ Gestion de las distintas IP disponibles

- Permite la personalizacion de la IP
- Tiene una interface grafica similar a la del entorno de desarrollo Vivado
- La sintesis e implementacion se hace a traves de las herramientas de Vivado
- Puede gestionarse a traves de comandos Tcl

The image shows the Vivado IP Catalog and the Customize IP dialog for the FIFO Generator (12.0). The IP Catalog lists various IP blocks, and the Customize IP dialog provides configuration options for the selected FIFO Generator.

IP Catalog Table:

Name	AXI4	Status	License	VLNV
Vivado Repository				
Alliance Partners				
Automotive & Industrial				
AXI Infrastructure				
BaseIP				
Basic Elements				
Communication & Networking				
Debug & Verification				
Digital Signal Processing				
Embedded Processing				
FPGA Features and Design				
Math Functions				
Memories & Storage Elements				
ECC		Production	Included	xilinx.com:ip:ecc:2.0
FIFOs				
FIFO Generator	AXI4, AXI4-Stream	Production	Included	xilinx.com:ip:fifo_generator:12.0
Memory Interface Generators				
RAMs & ROMs				
Partial Reconfiguration				
Standard Bus Interfaces				
Video & Image Processing				

Customize IP Dialog (FIFO Generator 12.0):

Component Name: fifo_generatr_0

Interface Type: Native AXI Memory Mapped AXI Stream

Fifo Implementation: Independent Clocks Block RAM

Synchronization Stages: 2

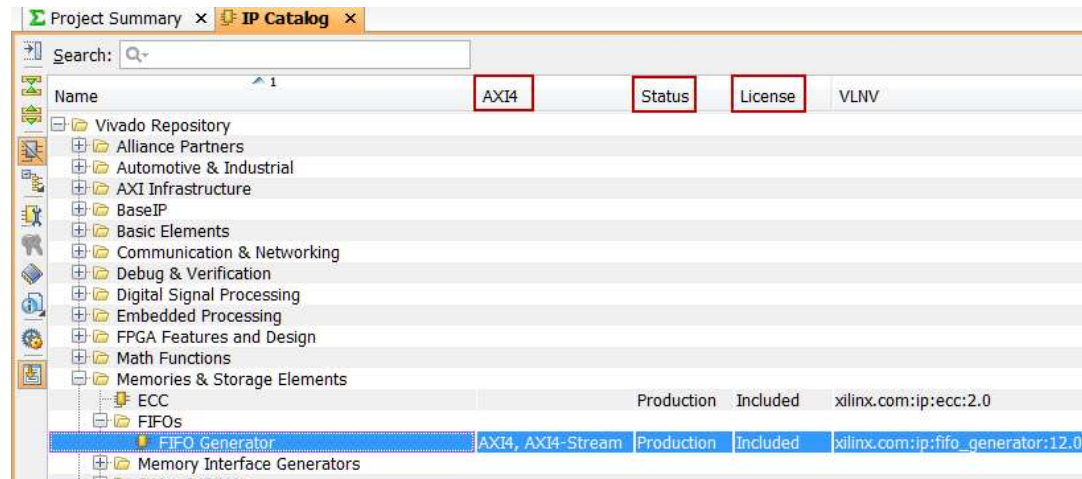
FIFO Implementation Options:

Supported Features	Memory Type	(1)	(2)	(3)	(4)	(5)
Common Clock (CLK)	Block RAM					
Common Clock (CLK)	Distributed RAM					
Common Clock (CLK)	Shift Register					
Common Clock (CLK)	Block RAM					
Independent Clocks (RD_CLK, WR_CLK)	Block RAM	✓	✓	✓	✓	✓
Independent Clocks (RD_CLK, WR_CLK)	Dual Buffered RAM	✓	✓	✓	✓	✓
Independent Clocks (RD_CLK, WR_CLK)	Block RAM	✓	✓	✓	✓	✓

(1) Non-symmetric aspect ratios (different read and write data widths)
(2) First-Word Fall-Through
(3) Non-symmetric FIFO parameters
(4) ECC support
(5) Dynamic Error Injection

Distintos tipos de IP disponibles

- Mucha IP en el catalogo es del tipo periferico (tiene una interfase de bus)
 - Este tipo de perifericos indican el tipo de bus: AXI4 o AXI4-Stream
- La IP que no es tipo periferico no tiene entrada en la columna AXI4
- La columna "Status" indica si la IP esta en estado "production" (probada y depurada) o "pre-production" (funcionalidad probada, pero no optimizada)
- La columna "License" indica si la IP es de uso gratuito, o si es necesario adquirir una licencia adicional para su uso



Name	AXI4	Status	License	VLNV
Vivado Repository				
Alliance Partners				
Automotive & Industrial				
AXI Infrastructure				
BaseIP				
Basic Elements				
Communication & Networking				
Debug & Verification				
Digital Signal Processing				
Embedded Processing				
FPGA Features and Design				
Math Functions				
Memories & Storage Elements				
ECC		Production	Included	xilinx.com:ip:ecc:2.0
FIFOs				
FIFO Generator	AXI4, AXI4-Stream	Production	Included	xilinx.com:ip:fifo_generator:12.0
Memory Interface Generators				
RAM & ROMs				

IP Disponible para su uso sin licencia

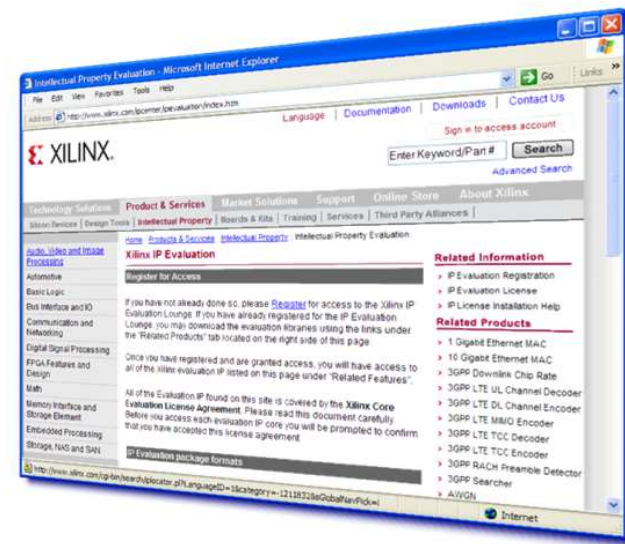
- Controladores de Bus y bridges
- Modulos de depuracion
- Controladores de DMA
- Timers
- Comunicacion entre procesadores (para sistemas multiprocesador)
- Controladores para memoria DRAM externa
- Perifericos para comunicaciones a alta y baja velocidad
- Otros

Name	AXI4	Status	License	VLNV
AXI Infrastructure				
AXI-Stream FIFO	AXI4, AXI4-Stream	Production	Included	xilinx.com:ip:axi_fifo_mm_s:4.1
AXI4-Stream Accelerator Adapter	AXI4, AXI4-Stream	Production	Included	xilinx.com:ip:axis_accelerator_adapter:2.1
AXI4-Stream Broadcaster	AXI4-Stream	Production	Included	xilinx.com:ip:axis_broadcaster:1.1
AXI4-Stream Clock Converter	AXI4-Stream	Production	Included	xilinx.com:ip:axis_clock_converter:1.1
AXI4-Stream Combiner	AXI4-Stream	Production	Included	xilinx.com:ip:axis_combiner:1.1
AXI4-Stream Data FIFO	AXI4-Stream	Production	Included	xilinx.com:ip:axis_data_fifo:1.1
AXI4-Stream Data Width Converter	AXI4-Stream	Production	Included	xilinx.com:ip:axis_dwidth_converter:1.1
AXI4-Stream Interconnect		Production	Included	xilinx.com:ip:axis_interconnect:2.1
AXI4-Stream Interconnect RTL	AXI4-Stream	Production	Included	xilinx.com:ip:axis_interconnect:1.1
AXI4-Stream Protocol Checker	AXI4-Stream	Production	Included	xilinx.com:ip:axis_protocol_checker:1.1
AXI4-Stream Register Slice	AXI4-Stream	Production	Included	xilinx.com:ip:axis_register_slice:1.1
AXI4-Stream Subset Converter	AXI4-Stream	Production	Included	xilinx.com:ip:axis_subset_converter:1.1
AXI4-Stream Switch	AXI4, AXI4-Stream	Production	Included	xilinx.com:ip:axis_switch:1.1
AXI Central Direct Memory Access	AXI4	Production	Included	xilinx.com:ip:axi_cdma:4.1
AXI Chip2Chip Bridge	AXI4, AXI4-Stream	Production	Included	xilinx.com:ip:axi_chip2chip:4.2
AXI Clock Converter	AXI4	Production	Included	xilinx.com:ip:axi_clock_converter:2.1
AXI Crossbar	AXI4	Production	Included	xilinx.com:ip:axi_crossbar:2.1
AXI Data FIFO	AXI4	Production	Included	xilinx.com:ip:axi_data_fifo:2.1
AXI DataMover	AXI4, AXI4-Stream	Production	Included	xilinx.com:ip:axi_datamover:5.1
AXI Data Width Converter	AXI4	Production	Included	xilinx.com:ip:axi_dwidth_converter:2.1
AXI Direct Memory Access	AXI4, AXI4-Stream	Production	Included	xilinx.com:ip:axi_dma:7.1
AXI DMA Back-End Core	AXI4, AXI4-Stream	Production	Purchase	nwlogic.com:ip:NWL_AXI_DMA:0.0
AXI Interconnect		Production	Included	xilinx.com:ip:axi_interconnect:2.1

IP Disponible para evaluacion (su uso requiere licencia)

- AXI CAN controller
- AXI USB2 device
- Video IP
- Telecoms/ Wireless IP

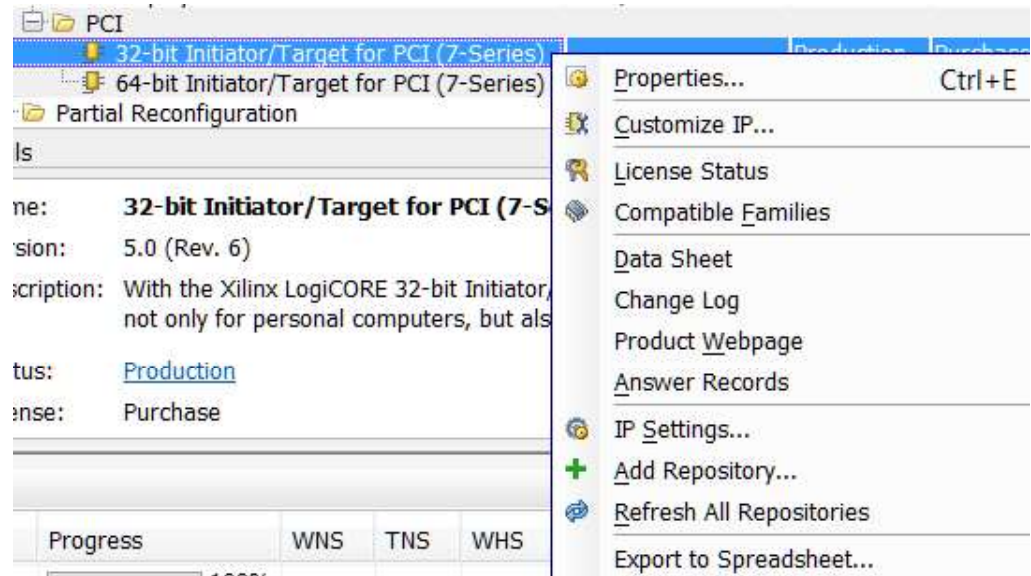
Standard Bus Interfaces					
S/PDIF	AXI4, AXI4-Stream	Production	Purchase	xilinx.com:ip:spdif:2.0	
SD Card Host Controller	AXI4	Production	Purchase	logicbricks.com:logicbricks:logisdhc:0.0	
RapidIO					
Serial RapidIO Gen2	AXI4, AXI4-Stream	Production	Purchase	xilinx.com:ip:srio_gen2:4.0	
PCI Express					
AXI Memory Mapped To PCI Express	AXI4	Production	Included	xilinx.com:ip:axi_pcie:2.6	
7 Series Integrated Block for PCI Express	AXI4-Stream	Production	Included	xilinx.com:ip:pcie_7x:3.1	
DisplayPort					
DisplayPort	AXI4, AXI4-Stream	Pre-Produ...	Purchase	xilinx.com:ip:displayport:6.0	
PCI					
32-bit Initiator/Target for PCI (7-Series)		Production	Purchase	xilinx.com:ip:pci32:5.0	
64-bit Initiator/Target for PCI (7-Series)		Production	Purchase	xilinx.com:ip:pci64:5.0	



Se pueden utilizar con una licencia de evaluacion de 90 dias sin costo

Informacion de la IP

- Datos de configuracion
- Compatibilidad con las distintas familias de FPGA
- Hoja de datos (Product Guide)
- Registro de cambios (Change Log)
- Pagina web de la IP (Product Webpage)
- Informacion adicional (Answer records)

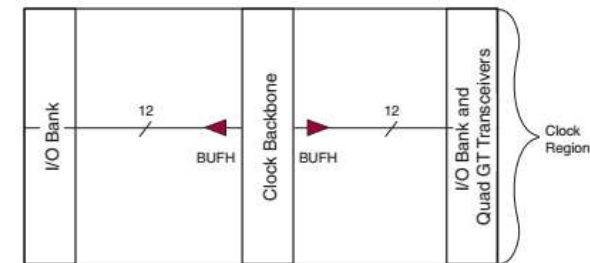


Temario

- Herramienta IP Integrator
- Herramienta IP Packager
- Catalogo de IP
- **Asistente de Temporizacion**
- Resumen

Inferencia de recursos de temporización

- **Los ruteos de reloj se representan mediante redes en el código fuente RTL**
 - El mapeo de la red RTL al ruteo de reloj utiliza un buffer de reloj
- **Algunos recursos pueden inferirse**
 - Una red de entrada (con o sin un bloque IBUF instanciado) se mapea a un ruteo de reloj global si esta red conecta a la entrada de elementos sincronizados (sería el caso de una señal de reloj externa)
 - El buffer BUFG se infiere en forma automática
 - Los buffers BUFH se infieren cuando un reloj global (generado con un BUFG) es necesario en una región de reloj
 - Los BUFHs de cada región se infieren automáticamente
- **Los buffers BUFIO, BUFR, y BUFMR no se infieren automáticamente**
 - El instanciado explícito de estos buffers indica a las herramientas el uso de las redes de reloj asociadas a cada tipo de buffer
- **Los bloques PLL y MMCM no se pueden inferir, se deben instanciar**



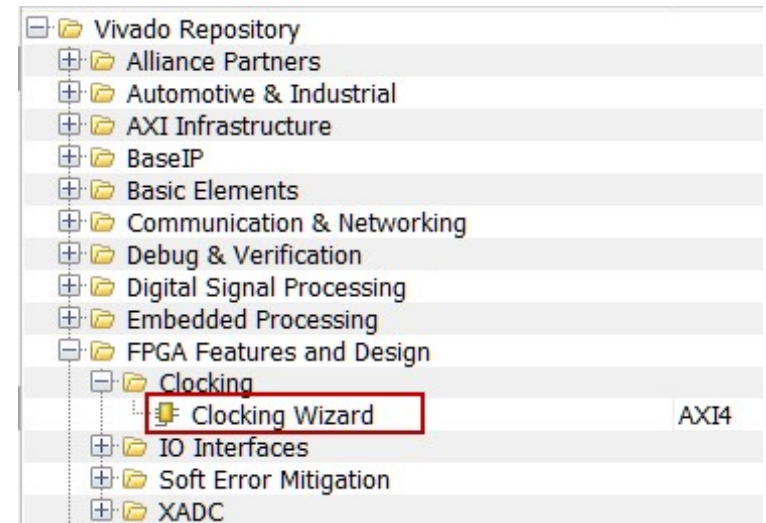
UG472: 7 Series FPGA
Clocking Resources

Instanciado de recursos de temporizacion

- **Todos los recursos de temporizacion pueden instanciarse directamente en el codigo fuente RTL**
 - Hay modelos de simulacion para cada recurso de temporizacion
 - La estructura de inferencia en Verilog/VHDL se describe en la *UG953: 7Series FPGA Libraries Guide*
 - Para generar la plantilla de instanciado se usa la pestaña Language Templates (💡)
- **Los bloques PLL y MMCM tienen distintas opciones de interfase y atributos**
 - En general se instancian a traves del asistente *Clocking Wizard*

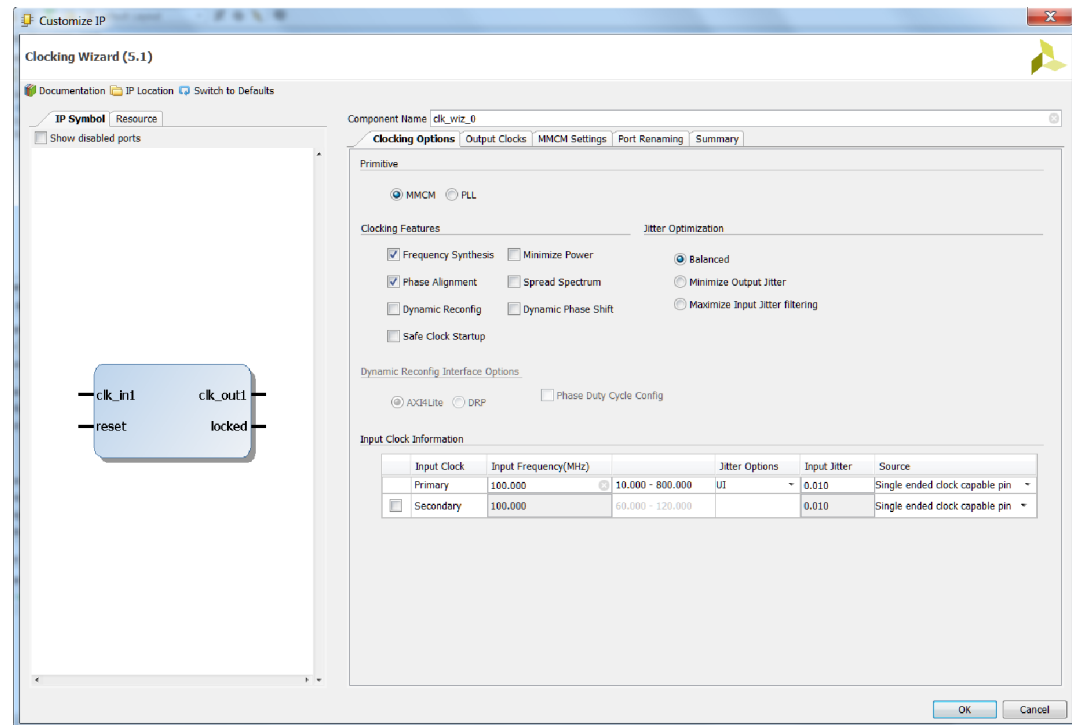
Asistente de Temporizacion (Clocking Wizard)

- Seleccionar el catalogo IP
- Expandir la opcion *FPGA Features and Design*
-> *Clocking*
- Dar doble clickn en *Clocking Wizard*
- El asistente realiza los pasos necesarios para generar el subsistema de temporizacion



Asistente de Temporización: Opciones

- **Seleccionar la primitiva a utilizar**
 - MMCME2_ADV
 - PLLE2_ADV
- **Especificar la frecuencia y tipo de entrada**
 - Opcionalmente se puede especificar una segunda entrada
- **Seleccionar las características de la señal de reloj a generar**
 - Frecuencia
 - Alineación de Fase
 - Desplazamiento dinámico de Fase



Asistente de Temporización: Señales de salida

- Seleccionar la cantidad de salidas de reloj
- Fijar las frecuencias de salida
- Opcionalmente: seleccionar otros puertos

Component Name: clk_wiz_0

Output Clocks

The phase is calculated relative to the active input clock.

Output Clock	Output Freq (MHz)		Phase (degrees)		Duty Cycle (%)	
	Requested	Actual	Requested	Actual	Requested	Actual
<input checked="" type="checkbox"/> clk_out1	100.000	100.000	0.000	0.000	50.000	50.0
<input type="checkbox"/> clk_out2	100.000	N/A	0.000	N/A	50.000	N/A
<input type="checkbox"/> clk_out3	100.000	N/A	0.000	N/A	50.000	N/A
<input type="checkbox"/> clk_out4	100.000	N/A	0.000	N/A	50.000	N/A
<input type="checkbox"/> clk_out5	100.000	N/A	0.000	N/A	50.000	N/A
<input type="checkbox"/> clk_out6	100.000	N/A	0.000	N/A	50.000	N/A
<input type="checkbox"/> clk_out7	100.000	N/A	0.000	N/A	50.000	N/A

USE CLOCK SEQUENCING

Output Clock	Sequence Number
clk_out1	1
clk_out2	1
clk_out3	1
clk_out4	1
clk_out5	1
clk_out6	1
clk_out7	1

Clocking Feedback

Source

Automatic Control On-Chip
 Automatic Control Off-Chip
 User-Controlled On-Chip
 User-Controlled Off-Chip

Signaling

Single-ended
 Differential

Enable Optional Inputs / Outputs

Reset Type

clk_in1 clk_out1
reset locked

Asistente de Temporización: configuracion de MMCM

- Permite sobrescribir los parametros generados por el asistente
- Permite fijar a mano la Fase, el Perido, el Jitter, etc

These are the settings based on inputs from previous pages. Any update on this page will override the optimal settings calculated by the wizard

Allow Override Mode

Attribute	Value
BANDWIDTH	OPTIMIZED
CLKFBOUT_MULT_F	10.000
CLKFBOUT_PHASE	0.000
CLKIN1_PERIOD	10.0
CLKIN2_PERIOD	10.0
COMPENSATION	ZHOLD
DIVCLK_DIVIDE	1
REF_JITTER1	0.010
REF_JITTER2	0.010
STARTUP_WAIT	<input type="checkbox"/>
CLKFBOUT_USE_FINE_PS	<input type="checkbox"/>
CLKOUT4_CASCADE	<input type="checkbox"/>

Clk Wizard Port	Renamed Port	MMCM/PLL Port	Divide	Duty Cycle	Phase	Use Fine Ps
clk_out1	clk_out1	CLKOUT0	10.000	0.500	0.000	<input type="checkbox"/>

Asistente de Temporización: Renombrado de los Puertos

- Permite cambiar los nombres de los puertos de entrada / salida
- También se puede cambiar el nombre de los puertos opcionales

The screenshot shows the 'Port Renaming' tab of a timing assistant. It contains three sections: 'Input Clock', 'Output Clock', and 'Optional Port Names'.

Input Clock

Input Clock	Port Name	Freq (MHz)	Input Jitter (UI)
Primary	clk_in1	100.000	0.010

Output Clock

VCO Freq = 1000.000 MHz

Output Clock	Port Name	Output Freq (MHz)	Phase (degrees)	Duty Cycle (%)	Pk-to-Pk Jitter (ps)	Phase Error (ps)
clk_out1	clk_out1	100.000	0.000	50.0	130.958	98.575

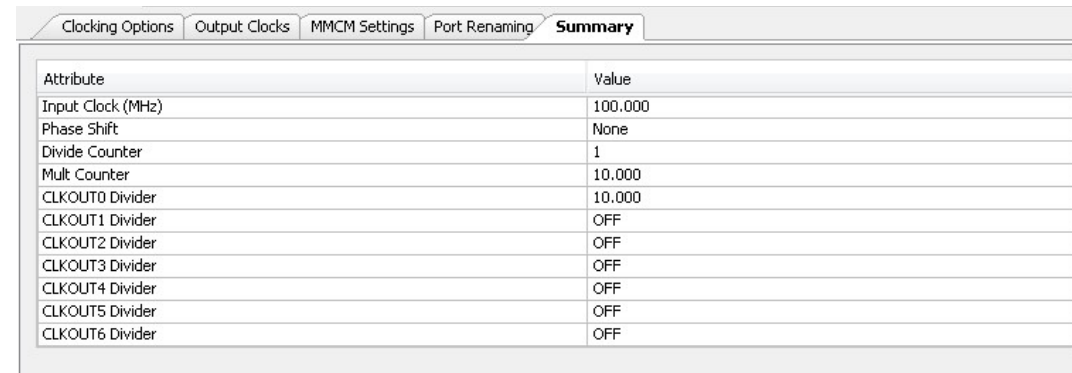
Optional Port Names

Other Pins	Port Name
reset	reset
locked	locked

Asistente de Temporización: Resumen

- Muestra las frecuencias de entrada y salida
- Otros atributos dependen de la configuración seleccionada

- La pestaña *Resource* da un resumen del tipo y número de recursos usados



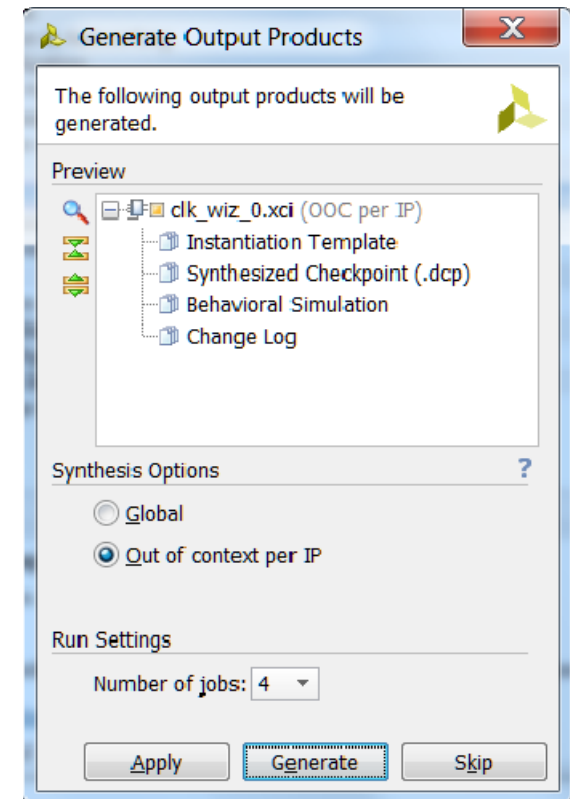
Attribute	Value
Input Clock (MHz)	100.000
Phase Shift	None
Divide Counter	1
Mult Counter	10.000
CLKOUT0 Divider	10.000
CLKOUT1 Divider	OFF
CLKOUT2 Divider	OFF
CLKOUT3 Divider	OFF
CLKOUT4 Divider	OFF
CLKOUT5 Divider	OFF
CLKOUT6 Divider	OFF



IP Symbol	Resource
1 MMCM	
1 IBUFG	
2 BUFG	

Asistente de Temporizacion: Salidas

- Genera la plantilla de instanciado a incorporar en el codigo fuente HDL
- Modelo para el proceso de sintesis
- Modelo de simulacion
- Archivos para el proceso de implementacion
- Ejemplo de uso
- Opcionalmente, una version pre-sintetizada que se puede usar directamente, sin necesidad de re-sintetizar el resto del proyecto



Temario

- Herramienta IP Integrator
- Herramienta IP Packager
- Catalogo de IP
- Asistente de Temporizacion
- **Resumen**

Resumen

- **Se puede agregar IP a partir de liberias o crear IP propia para reutilizacion**
- **La herramienta IP Packagers permite genera paquetes de IP para reutilizar**
- **El catalogo IP permite utilizar IP ya probada y depurada**
 - La IP esta agrupada de acuerdo a su funcionalidad
- **El asistente de Temporizacion (Clocking Wizard) permite la configuracion y el instanciado de subsistemas de temporizacion**