

Implementación de un Sistema

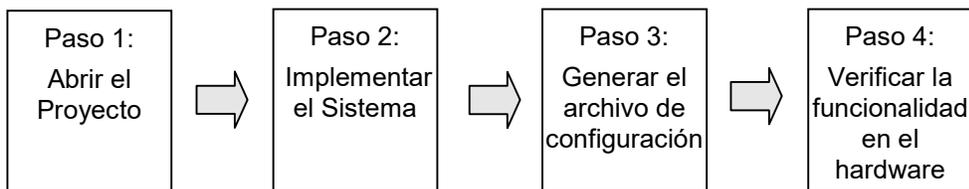
Introducción

Esta práctica es la continuación de la práctica anterior, en la cual se implementara el circuito digital previamente sintetizado. Se hará un análisis de temporización y se generara el archivo de configuración para verificar el sistema en hardware.

Objetivos

- Implementar el sistema sintetizado
- Generar los reportes correspondientes y analizar los resultados
- Realizar un análisis de temporización
- Generar el archivo de configuración y verificar la funcionalidad en el hardware

Hoja de Ruta de la Práctica



Abrir el Proyecto

Paso 1

1-1. Iniciar la aplicación Vivado y abrir el proyecto de la práctica 2. Guardar el proyecto como Práctica 3 en otro directorio con la opción *create subdirectory*. Configurar la opción de síntesis *flatten_hierarchy* en *rebuilt*. Crear una nueva síntesis y denominarla *synth_2*.

1-1-1. Iniciar la aplicación Vivado y abrir el proyecto de la práctica 2 mediante el enlace **Open Project** de la página inicial.

1-1-2. Seleccionar el menú **File -> Project -> Save As...** para abrir el cuadro de dialogo *Save Project As* e ingresar **Practica03** como nombre del proyecto. Verificar que la opción *Create Project Subdirectory* este marcada y presionar **OK**.

1-1-3. En el menú *Flow Navigator*, seleccionar *Settings* y presionar **Synthesis**.

1-1-4. Verificar que la opción *flatten_hierarchy* este seleccionada en **rebuilt**, lo que permite que se mantenga la estructura de módulos, lo que facilita el análisis, ya que las referencias entre módulos se mantienen.

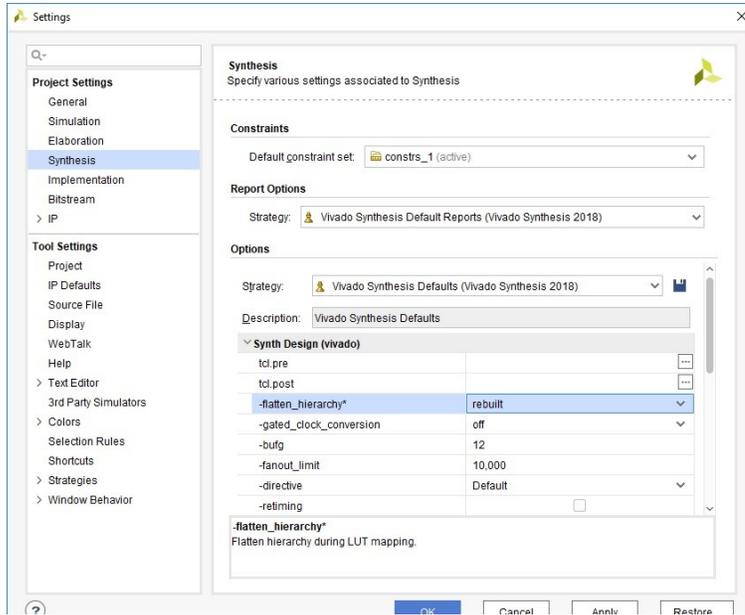


Figura 1. Opción flatten-design configurada como rebuilt

1-1-5. Presionar **Apply**.

Aparecerá el cuadro de dialogo *Create New Run*. Presionar **Yes** y después **OK** para crear una síntesis independiente denominada **synth_2**. Presionar **OK** para cerrar el cuadro de dialogo *Settings*

1-2. Sintetizar el sistema. Generar el reporte *timing summary* y analizar los resultados.

1-2-1. Abrir el archivo de restricciones *uart_led_timing_ArtyZ7.xdc*. Modificar el reloj para que su frecuencia sea de 125MHz. Para ello reemplazar la línea 4:

```
create_clock -period 8.000 -name clk_pin -waveform {0.000 4.000} [get_ports clk_pin]
```

Guardar el archivo de restricciones una vez hecha la modificación

1-2-2. Abrir el archivo de restricciones *uart_led_pins_ArtyZ7.xdc*. Agregar un pin de Tx para tener eco de lo enviado. Para ello agregar la línea 22:

```
set_property -dict { PACKAGE_PIN Y19 IOSTANDARD LVCMOS33 } [get_ports { txd_pin }];
```

Guardar el archivo de restricciones una vez hecha la modificación

1-2-3. Abrir el archivo HDL *uart_top.vhd*. Agregar el puerto de Tx de la uart. Para ello insertar en la línea 31 (entre *rxn_pin* y *led_pins*)

```
txd_pin: out std_logic; -- Uart output
```

Conectar la entrada de rxd a la salida txd. Para ello insertar en la línea 53 (antes de *Begin*)

signal loopback: std_logic; (no olvidar el punto y coma)

Luego insertar en la línea 55 y 56:

loopback <= not rxd_pin;
txd_pin <= not loopback; (no olvidar el punto y coma)

Guardar el archivo *HDL uard_top.vhd*

1-2-4. Abrir el archivo HDL *uart_led.vhd*. Modificar el parámetro **CLOCK_RATE** a 125E6; Guardar el archivo.

1-2-5. Abrir el archivo HDL *led_ctl.vhd*. Modificar las líneas 62 y 64; en la línea 62 es **char_data(7 downto 4)** y en la línea 64 es **char_data (3 downto 0)** Guardar el archivo

1-2-6. En el menú *Flow Navigator*, seleccionar *RTL Analysis*, presionar **Open Elaborated Design**. Presionar **YES** para cerrar el diseño sintetizado. Presionar **OK** para iniciar el proceso de elaboración. Al finalizar el mismo se abrirá un diagrama esquemático mostrando la conexión rxd_pin a txd_pin con dos negadores en serie (un negador con un círculo en su entrada).

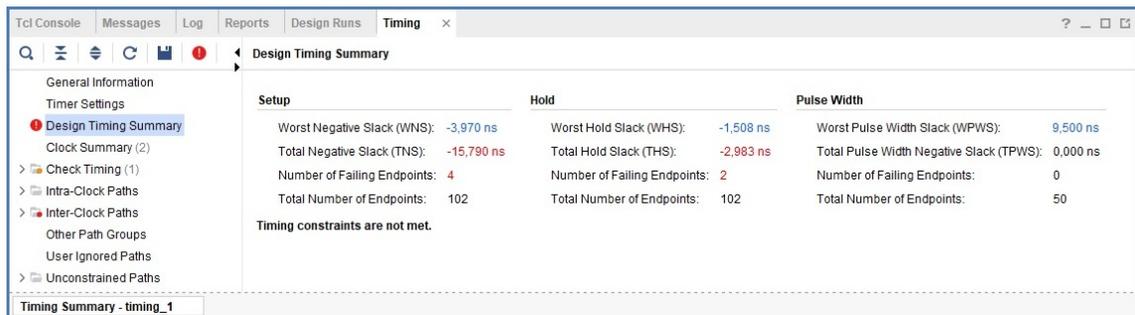
1-2-7. En el menú *Flow Navigator*, seleccionar *Synthesis*, presionar **Run Synthesis**. Presionar **OK** para iniciar el proceso de síntesis

El proceso de síntesis se ejecutara sobre el modulo *uart_top.vhd* y todos sus submodulos. Cuando el proceso finalice, aparecerá el cuadro de dialogo *Synthesis Completed* con 3 opciones.

1-2-8. Seleccionar la opción *Open Synthesized Design* y presionar **OK** para ver los resultados del proceso de síntesis. Presionar **YES** si aparece el cuadro de dialogo para cerrar el proceso de elaboración

1-2-9. En el menú *Flow Navigator*, seleccionar *Synthesis*, y presionar **Report Timing Summary**.

1-2-10. Presionar **OK** para generar el reporte *timing_1*. (los valores pueden cambiar ligeramente, el análisis es el mismo)



Setup	Hold	Pulse Width
Worst Negative Slack (WNS): -3,970 ns	Worst Hold Slack (WHS): -1,508 ns	Worst Pulse Width Slack (WPWS): 9,500 ns
Total Negative Slack (TNS): -15,790 ns	Total Hold Slack (THS): -2,983 ns	Total Pulse Width Negative Slack (TPWS): 0,000 ns
Number of Failing Endpoints: 4	Number of Failing Endpoints: 2	Number of Failing Endpoints: 0
Total Number of Endpoints: 102	Total Number of Endpoints: 102	Total Number of Endpoints: 50

Timing constraints are not met.

Figura 2. Reporte Timing Summary

- 1-2-11.** Presionar en el enlace azul al lado de **Worst Negative Slack (WNS)** y observar los 4 caminos que no cumplen los requisitos de temporización.
- 1-2-12.** Presionar dos veces en el Path 21 para ver el reporte detallado de los retardos de ese camino. El reporte detallado se compone de 4 secciones: (i) Resumen (Summary), (ii) Camino del Reloj de entrada (Source Clock Path), que es el retardo desde el pad de entrada de la señal de reloj hasta la entrada de reloj del primer flip flop; (iii) Camino de los Datos (Data Path), que es el retardo interno de la FPGA; y (iv) Camino del reloj de salida (Destination Clock Path), que es el retardo de la señal de salida desde la salida del último flip flop hasta el pad de salida de dicha señal.
- 1-2-13.** Seleccionar el camino 21 (Path 21) en la pestaña *Timing*, presionar el botón derecho y seleccionar **Schematic**.

Se mostrara un diagrama esquemático del camino de salida de la señal.

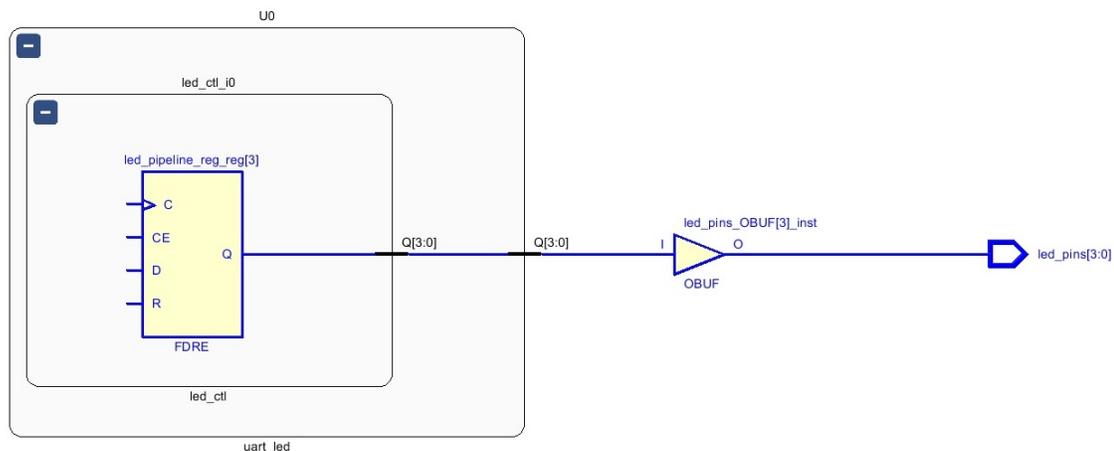


Figura 3. Camino de salida de los datos

- 1-2-14.** Para ver el camino del reloj de entrada en forma esquemática, presionar 2 veces en el pin “C” del flip Flop FDRE.

Esto mostrará el camino entre el buffer de reloj global BUFG y la entrada C del flip Flop FDRE.

- 1-2-15.** Nuevamente presionar 2 veces en la entrada del buffer BUFG para ver el camino entre el buffer de entrada IBUF y el buffer global BUFG.

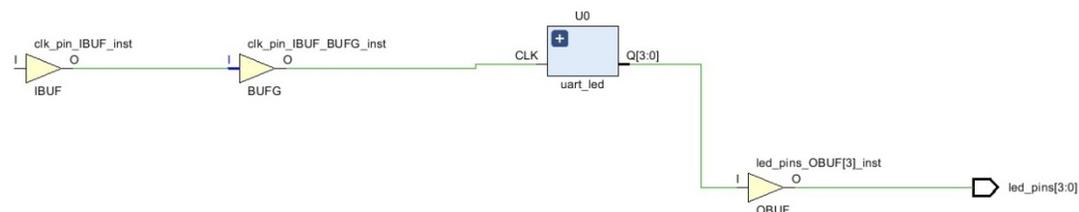


Figura 4. Camino desde el buffer de entrada hasta la entrada de reloj del flip flop FDRE

- 1-2-16.** Finalmente, presionar 2 veces en el pin de entrada del buffer IBUF para ver el camino completo entre el pad de entrada de la señal de reloj y la entrada de reloj del flip flop FDRE.

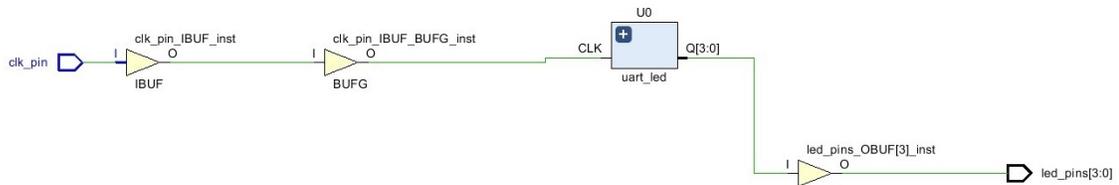


Figura 5. Diagrama esquemático del camino del reloj de entrada

Este camino corresponde al camino de reloj de entrada (Source Clock Path) del reporte *Timing Report*.

Delay Type	Incr (ns)	Path (ns)	Locati...	Netlist Resource(s)
(clock clk_pin rise edge)	(r) 8.000	8.000		
net (fo=0)	0.000	8.000	Sit...16	clk_pin
			Sit...16	clk_pin_IBUF_inst/I
IBUF (Prop_ibuf I O)	(r) 1.457	9.457	Sit...16	clk_pin_IBUF_inst/O
net (fo=1, unplaced)	0.800	10.257		clk_pin_IBUF
				clk_pin_IBUF_BUFG_inst/I
BUFG (Prop_bufg I O)	(r) 0.101	10.358		clk_pin_IBUF_BUFG_inst/O
net (fo=51, unplaced)	0.584	10.942		U0/led_ct_i0/CLK
FDRE				U0/led_ct_i0/led_o_reg[1]C

Figura 6. Temporización del camino de reloj de entrada

En el detalle de la temporización se ve que el tiempo total de propagación es 15.945ns (arrival time); por otra parte el tiempo total disponible es de 11.975ns (Required Time), esta diferencia (3.970ns) es lo que las herramientas reportan como no cumplimiento de los requerimientos de temporización (recordar que los valores pueden cambiar ligeramente, pero el análisis es el mismo)

Delay Type	Incr (ns)	Path (ns)	Location	Netlist Resource(s)
FDRE (Prop_fdre C O)	(r) 0.456	11.398		U0/led_ct_i0/led_o_reg[1]O
net (fo=1, unplaced)	0.800	12.198		led_pins_OBUF[1]
			Site: P14	led_pins_OBUF[1]_inst/I
OBUF (Prop_obuf I O)	(r) 3.747	15.945	Site: P14	led_pins_OBUF[1]_inst/O
net (fo=0)	0.000	15.945		led_pins[1]
			Site: P14	led_pins[1]
Arrival Time		15.945		

Delay Type	Incr (ns)	Path (ns)	Location	Netlist Resource(s)
(clock virtual_clk rise edge)	(r) 12.000	12.000		
ideal clock network latency	0.000	12.000		
clock pessimism	0.000	12.000		
clock uncertainty	-0.025	11.975		
output delay	-0.000	11.975		
Required Time		11.975		

Figura 7. Peor caso de retardo sobre el camino 21

1-3. Cambiar las restricciones de diseño para restringir el reloj virtual a 8ns. Sintetizar nuevamente el sistema y analizar los resultados.

1-3-1. En el menú *Flow Navigator*, seleccionar *Synthesis*, *Open Synthesized Design* y presionar **Edit Timing Constraints**.

Aparecerá el cuadro de dialogo de las restricciones de temporización; mostrando que el sistema tiene restricciones asociadas a dos relojes, a cuatro entradas y a una salida. En la sección All Constraints se ven las restricciones en forma de texto.

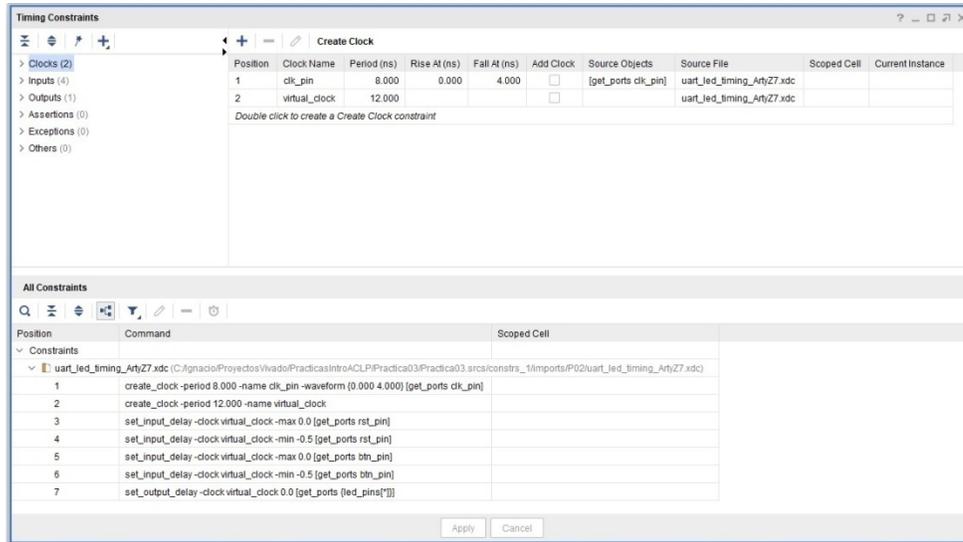


Figura 8. Restricciones de temporización mostrando el reloj virtual de 12 ns de periodo

1-3-2. Seleccionar la celda *Period* del reloj virtual y cambiar el periodo de 12 a 8; presionar *Enter*

1-3-3. Presionar **Apply**.

Dado que cambio la restricción de temporización, aparece un mensaje de advertencia para ejecutar nuevamente el reporte.

Report is out of date because timing data has been modified. [Rerun](#)

1-3-4. Presionar el enlace **Rerun**.

Ahora no hay problemas con el tiempo de establecimiento (setup), pero aun hay 2 caminos que no cumplen la temporización en la retención (Hold).

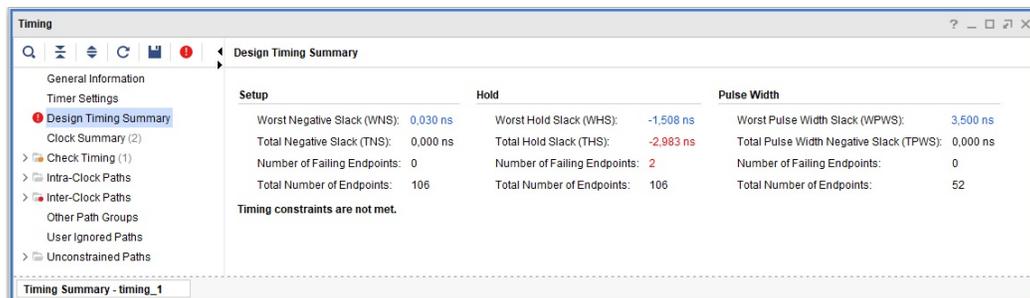


Figura 9. Tiempos de establecimiento cumplidos

- 1-3-5. Presionar el enlace azul **WHS** para ver los caminos que no cumplen la temporización.
- 1-3-6. Presionar dos veces en el camino 31 para ver como es el camino de temporización. Como es un tiempo de retención, el retardo de reloj no incluye el periodo entero de la señal de reloj (a diferencia del camino anterior).
- 1-3-7. Seleccionar **File -> Constraints -> Save**. Presionar **OK** en el cuadro de dialogo
- 1-3-8. Presionar **Update** en el cuadro de dialogo para actualizar las restricciones del sistema. En el recuadro *Select an existing file* seleccionar el archivo de restricciones *uart_led_timming_ArtyZ7.xdc*
- 1-3-9. Presionar **OK**. En la parte superior derecha de la pantalla aparecerá una actualización de estado *Synthesis Out-of-Date*.

Implementar el Sistema

Paso 2

2-1. Ejecutar los procesos de Síntesis e Implementación. Realizar un Análisis de Temporización.

2-1-1. En la pestaña *Design Runs* (parte inferior de la pantalla), presionar con el botón derecho en *synth_2* (cuyo estado es “*Synthesis Out-of-date*”) y seleccionar **Reset Runs**. Presionar **Reset** en el cuadro de diálogo.

2-1-2. En la parte superior de la pantalla, presionar el enlace azul **Close Design**.

2-1-3. En el menú *Flow Navigator*, seleccionar *Implementation*, presionar **Run Implementation**.

2-1-4. Presionar **OK** en el cuadro de diálogo para que se ejecute el proceso de síntesis antes de la implementación. Presionar nuevamente **OK** para iniciar ambos procesos

Los procesos de síntesis e implementación se ejecutaran sobre el modulo *uart_top.vhd* y todos sus submodulos. Cuando el proceso de implementación finalice, aparecerá el cuadro de dialogo *Implementation Completed* con 3 opciones.

2-1-5. Seleccionar la opción *Open Implemented Design* y presionar **OK**.

2-1-6. Aparecerá un cuadro de dialogo advirtienddo que no se cumplieron los requisitos de temporización. Presionar **OK**

2-2. Verificar los recursos utilizados de la FPGA mediante el reporte de utilización.

2-2-1. En el panel *Flow Navigator*, seleccionar **Open Implemented Design -> Report Utilization**.

Se abrirá el cuadro de dialogo *Report Utilization*.

2-2-2. Presionar **OK**.

El reporte de utilización aparecerá en la parte inferior de la pantalla. Se puede seleccionar cualquiera de los recursos y ver su utilización.

2-2-3. Seleccionar *Slice LUTs* para ver la utilización de este recurso por cada módulo del sistema.

Name	Used
uart_top	35
U0 (uart_led)	35
uart_rx_i0 (uart_rx)	32
led_ctl_i0 (led_ctl)	2
meta_harden_rst_i0 (meta_harden_0)	1

Figura 10. Utilización de recursos post-implementación

2-3. Generar un reporte Timing Summary.

2-3-1. En el menú *Flow Navigator*, seleccionar *Implementation* y presionar **Report Timing Summary**.

2-3-2. Dejar todas las opciones por defecto y presionar **OK** para generar el reporte (los números pueden ser distintos pero el análisis es el mismo).

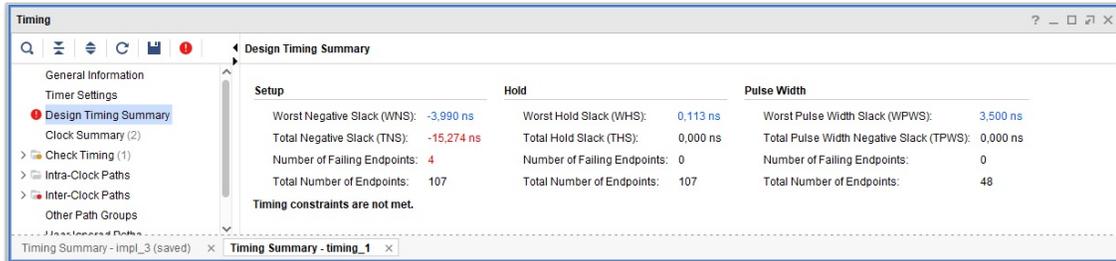


Figura 11. Reporte Timing Summary mostrando que no se cumplen restricciones temporales

2-3-3. Presionar en el enlace azul **WNS** para ver un reporte detallado de los caminos que no cumplen la temporización.

2-3-4. Presionar dos veces en el camino 21 para ver por que no se cumple.

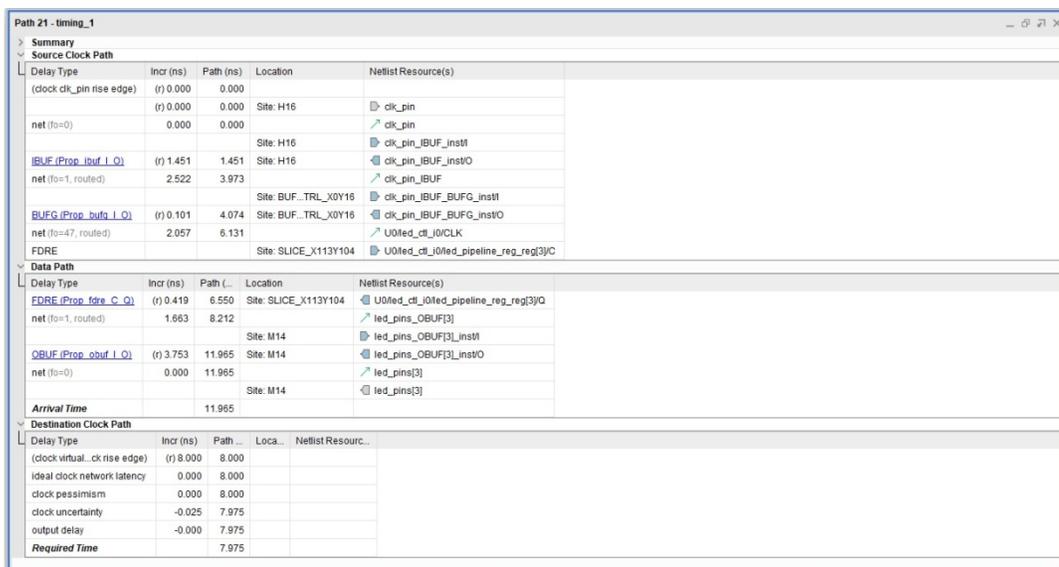


Figura 12. Retardos en el camino

Comparado con los retardos del reporte post-síntesis, los retardos de las redes actuales son los reales (no una estimación). El retardo del camino de datos es mayor que el retardo del camino de reloj de salida. El retardo del camino de datos es de 11.965ns y el retardo del camino de reloj de salida es de 7.975ns, generando un slack negativo de -3.990ns.

En este punto, se puede ignorar este incumplimiento, ya que el cambio en el LED diferido por algunos nanosegundos no es apreciable por el ojo humano. También se puede cambiar el retardo de salida en -4 ns y de esa manera se cumplirían los requerimientos de temporización.

- 2-3-5.** En el panel *Flow Navigator*, seleccionar **Implementation -> Open Implemented Design -> Edit Timing Constraints**.
- 2-3-6.** Seleccionar la entrada *Set Output Delay* en el panel de la izquierda, buscar la columna “Min/Max Delay Path” y seleccionar “max”. Cambiar el valor de retardo de 0.000 a **-4.000 ns**. Presionar **Apply**.
- 2-3-7.** Presionar el enlace azul **Rerun** para ejecutar nuevamente el reporte.
- Ahora se cumplen todas las restricciones de temporización.
- 2-3-8.** Expandir la entrada **Intra-Clock Paths**, expandir *clk_pin*, y seleccionar **Setup** para ver los 10 peores retardos en el panel derecho.
- 2-3-9.** Presionar dos veces en cualquiera de los caminos para ver cómo es su temporización. Presionar el botón derecho sobre cualquiera de los caminos y seleccionar **Schematic**. Aparecerá una representación esquemática del camino de esa señal. Presionar en la pestaña **Device** y se verá en blanco el camino tal como está ruteado dentro de la FPGA.
- 2-3-10.** En el panel *Flow Navigator*, seleccionar **Implementation -> Open Implemented Design -> Report Clock Networks**. Presionar **OK** en el cuadro de dialogo
- Se abrirá el reporte *Clock Networks* mostrando dos redes de reloj.
- 2-3-11.** Seleccionar *clk_pin* y ver en la vista de dispositivo (Device) que esta señal pasa por distintas regiones de reloj (las regiones de reloj son las que están marcadas como XnYn abajo a la izquierda de cada recuadro, en este caso son 4 recuadros porque la FPGA tiene 4 regiones de reloj).

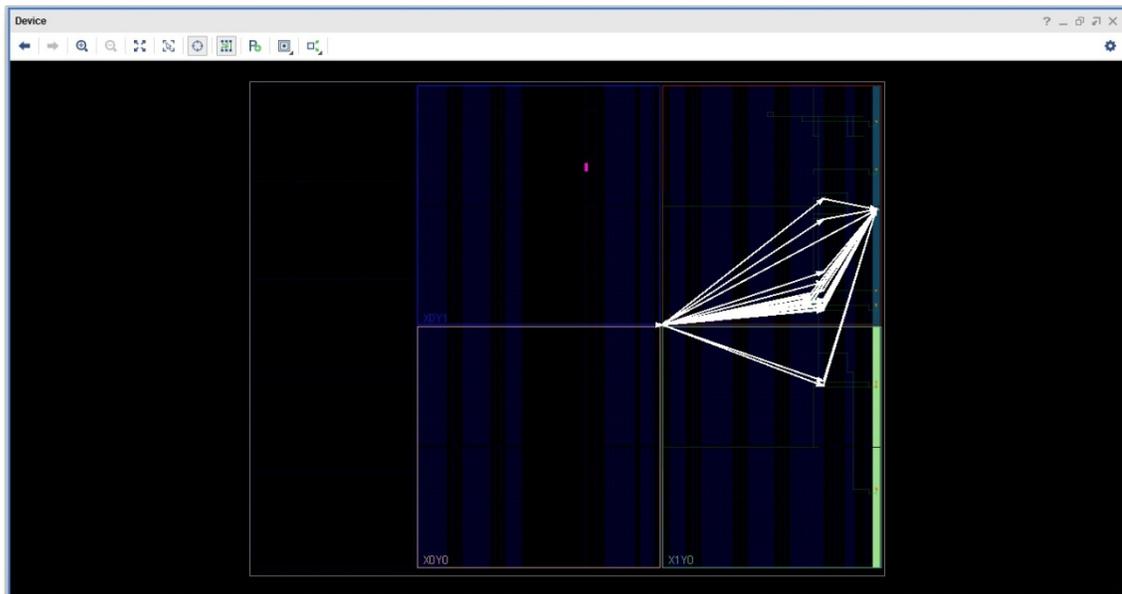


Figura 13. Redes de reloj

Generar el archivo de configuración

Paso 3

3-1. Generar el archivo .bit

3-1-1. En el panel *Flow Navigator*, seleccionar **Program and Debug**, presionar **Generate Bitstream**.



Figura 14, Generar el archivo de configuración

- 3-1-2. En el cuadro de dialogo, presionar **Save** para guardar los archivos que cambiaron. Presionar **OK** en el siguiente cuadro de dialogo, presionar **Yes** en el tercer cuadro de dialogo para ejecutar nuevamente los procesos de síntesis e implementación (ya que cambiaron las restricciones desde su última ejecución). Presionar **OK** para iniciar los procesos
- 3-1-3. Presionar **Cancel** cuando aparezca el cuadro de dialogo luego de que se genere el archivo de configuración.

Verificar la funcionalidad

Paso 4

4-1. Conectar la placa, conectar el adaptador usb-serie. Abrir una sesión de hardware y configurar la FPGA.

- 4-1-1. Conectar el cable micro-usb al conector prog/uart de la placa Arty Z7. Este conector se encuentra al costado del conector ethernet. Conectar el otro extremo a un puerto usb de la computadora
- 4-1-2. Conectar el adaptador usb-serie a la computadora. Verificar el puerto COM al que se mapea
- 4-1-3. Conectar los 3 cables de Tx; Rx y GND entre el conector USB-serie y el puerto JA de la placa ArtyZ7: TxD en el pin 1; RxD en el pin 2 y GND en el pin 5

Primero conectar la placa ArtyZ7 a la computadora, luego conectar el adaptador usb-serie

4-1-4. En el panel *Flow Navigator*, seleccionar **Program and Debug**, presionar *Open Hardware Manager*.

Aparecerá la interface del administrador de hardware (Hardware Manager) indicando el estado desconectado (unconnected).

4-1-5. Presionar en el enlace **Open target**, y luego en la opción **Auto Connect** del menú.



Figura 15. Hardware Manager

- 4-1-6. El estado de la sesión de hardware pasa de desconectado a tener el nombre del servidor (en este caso local host porque la placa está conectada en forma local). También se indica que el estado del dispositivo es *not programmed*.
- 4-1-7. Seleccionar el dispositivo (xc7z010_1) en la ventana de hardware. Presionar el botón derecho y seleccionar **Program Device...**
- 4-1-8. En el cuadro de dialogo, presionar el botón **Program** .
Se transferirá el archivo de configuración y el led verde DONE se prendera cuando la FPGA este configurada.
- 4-2. **Iniciar un programa de emulación de terminal (por ejemplo TeraTerm), configurarlo con el puerto serie del adaptador usb-serie y con los parámetros de comunicación 115200 N-8-1.**
- 4-2-1. Iniciar el programa de comunicaciones (por ejemplo TeraTerm).
- 4-2-2. Seleccionar el puerto serie (COM) del adaptador usb-serie.
- 4-2-3. Configurar el puerto serie a 115200, sin paridad, 8 bits de datos, 1 bit de parada .
- 4-2-4. En el programa de comunicaciones, escribir algunos caracteres. Los mismos aparecerán en la pantalla reenviados por la placa y en los 4 Leds se verá el nibble bajo del ASCII equivalente del caracter
- 4-2-5. Presionar y mantener presionado el botón BTN0 y ver como ahora los Leds muestran el nibble alto del ASCII equivalente del caracter escrito en el programa de comunicaciones
- 4-2-6. Seleccionar **File -> Close Hardware Manager**. Presionar **OK**.
- 4-2-7. Cerrar el programa de comunicaciones. Desconectar el adaptador usb-serie de la computadora. Desconectar la placa ArtyZ7 de la computadora. **Hacerlo en ese orden, sino se puede dañar la placa ArtyZ7**