

Sintetizado de un sistema

Introducción

En esta práctica se verá el proceso de síntesis y el efecto de cambiar la configuración de la herramienta de síntesis. Se hará un análisis del sistema sintetizado y de los reportes generados.

Objetivos

- Usar un archivo XDC provisto para aplicar restricciones de tiempo
- Elaborar el sistema y analizar las salidas generadas por las herramientas
- Sintetizar el sistema con las restricciones de tiempo provistas
- Analizar los resultados generados por las herramientas de síntesis
- Cambiar la configuración de la herramienta de síntesis y ver los efectos que produce en el sistema sintetizado
- Escribir un punto de chequeo (checkpoint) luego de la síntesis para que los resultados puedan ser analizados posteriormente

Procedimiento

Descripción del Sistema

El sistema consiste en un receptor serie asíncrono (UART) que recibe caracteres y muestra la representación binaria de la parte baja del carácter en 4 Leds. Cuando se presiona un botón, se representa la parte alta del carácter. En la Figura 1 se ve el diagrama en bloques del sistema.

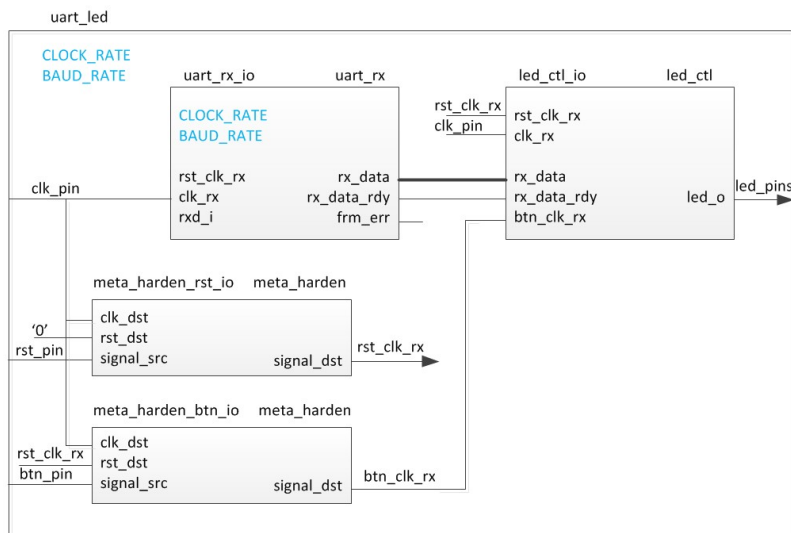
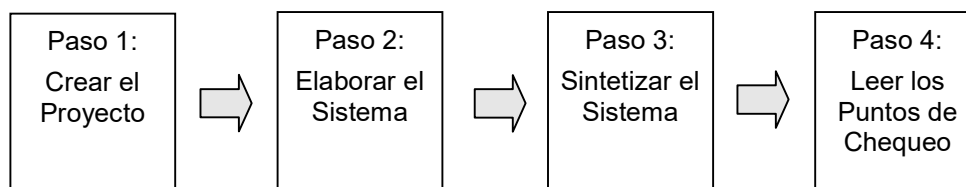


Figura 1. Sistema a sintetizar

Hoja de Ruta de la Práctica



Crear el Proyecto

Paso 1

1-1. Iniciar la herramienta Vivado y crear un proyecto con la placa Arty Z7. Agregar los archivos HDL y las restricciones `uart_led_pins_ArtyZ7.xdc` y `uart_led_timing_ArtyZ7.xdc`.

1-1-1. Iniciar la herramienta Vivado

1-1-2. Presionar **Create Project** para iniciar el asistente. Aparecerá el cuadro de dialogo *Create A New Vivado Project*. Presionar **Next**.

1-1-3. Presionar el botón de navegación del campo *Project location* del formulario **New Project**, elegir la ubicación del proyecto y presionar **Select**.

1-1-4. Ingresar el nombre del proyecto (Practica02) en el campo *Project name*. Verificar que la opción *Create Project Subdirectory* este seleccionada. Presionar **Next**.

1-1-5. Seleccionar la opción **RTL Project** en el formulario *Project Type*, y presionar **Next**.

1-1-6. Verificar que este seleccionada la opción **VHDL** en los menús desplegables *Target Language* y *Simulator Language* en el formulario *Add Sources*.

1-1-7. Presionar el botón **Add Files** y agregar los archivos vhd *led_ctl.vhd*, *meta_harden.vhd*, *uart_baud_gen.vhd*, *uart_led.vhd*, *uart_rx.vhd*, *uart_rx_ctl.vhd* and *uart_top.vhd*, presionar **OK**, y después presionar **Next** para pasar al formulario *Add Constraints*.

1-1-8. Presionar el botón **Add File** y agregar el archivo de restricciones `uart_led_timing_ArtyZ7.xdc` (solo ese archivo) y presionar **Ok**. Después presionar **Next**.

Este archivo de restricciones asigna las restricciones de temporización (periodo, retardo de entrada y retardo de salida) del sistema.

1-1-9. En el formulario *Default Part*, seleccionar la pestaña **Boards**. En el recuadro *Vendor* seleccionar **digilentinc.com**, en el recuadro *Name* seleccionar la placa **Arty Z7-10**. En el recuadro *Display Name* seleccionar la fila con la placa Arty Z7-10. Presionar **Next**.

1-1-10. Presionar **Finish** para crear el proyecto.

1-2. Analizar la estructura del proyecto.

1-2-1. En el panel *Sources*, expandir **uart_top** y ver la estructura de los módulos.

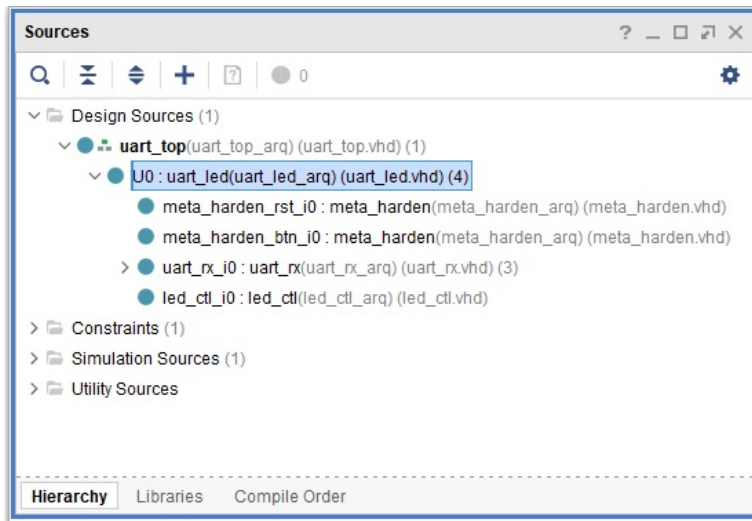


Figura 2. Estructura del proyecto

1-2-2. Presionar dos veces en **uart_led** para ver su contenido.

Ver que en el código vhdl los parámetros `BAUD_RATE` y `CLOCK_RATE` están definidos como 115200 y 50 MHz respectivamente. Verificar que están instanciados otros módulos. Los módulos *meta_harden* se utilizan para sincronizar las entradas externas de reset y el botón para cambio de nibble.

1-2-3. Expandir las instancias **U0** y **uart_rx_i0** para ver su estructura.

Este módulo utiliza un generador de baud rate y una maquina de estados. El pin *rx_d_pin* se muestrea a 16 veces la frecuencia del baudrate.

1-3. Abrir el archivo de restricciones **uart_led_timing_ArtyZ7.xdc** y analizar su contenido.

1-3-1. En el panel *Sources*, expandir la carpeta *Constraints* y presionar dos veces en el archivo **uart_led_timing_ArtyZ7.xdc** para abrirlo.

En la línea 4 se crea una restricción de periodo de 20 ns con un ciclo activo del 50% para la señal de reloj (*clk_pin*). La línea 7 crea un reloj virtual de 12 ns. Este reloj puede verse como un dispositivo externo que está generando su salida sincronizada con este reloj. Las entradas *rst_pin* y *btn_pin* están restringidas respecto a este reloj virtual (líneas 9, 10, 12 y 13). Asimismo las salidas *led_pins* también están restringidas respecto al reloj virtual.

Elaborar el Sistema

Paso 2

2-1. Elaborar el sistema y realizar un análisis de la estructura RTL

2-1-1. En el panel *Flow Navigator*, en la sección *RTL Analysis*, expandir la opción *Open Elaborated Design* y seleccionar **Schematic**. Presionar **OK**.

El sistema será elaborado y se mostrar un diagrama esquemático del mismo.

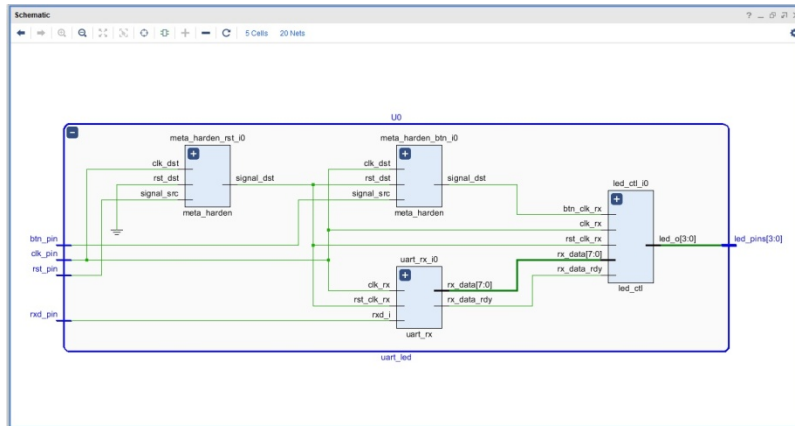


Figura 3. Diagrama lógico del sistema

Dentro del componente *U0* se ven dos instancias del módulo *meta_harden*, una instancia del módulo *uart_rx*, y una instancia del módulo *led_ctl*.

2-1-2. Para ver la descripción del módulo *uart_rx_i0* presionar con el botón derecho en nombre de la instancia y seleccionar *Go To Source*. Se abrirá el código fuente en la sección donde se instancia el módulo.

2-1-3. Presionar dos veces en la instancia *uart_rx_i0* para ver su estructura interna.

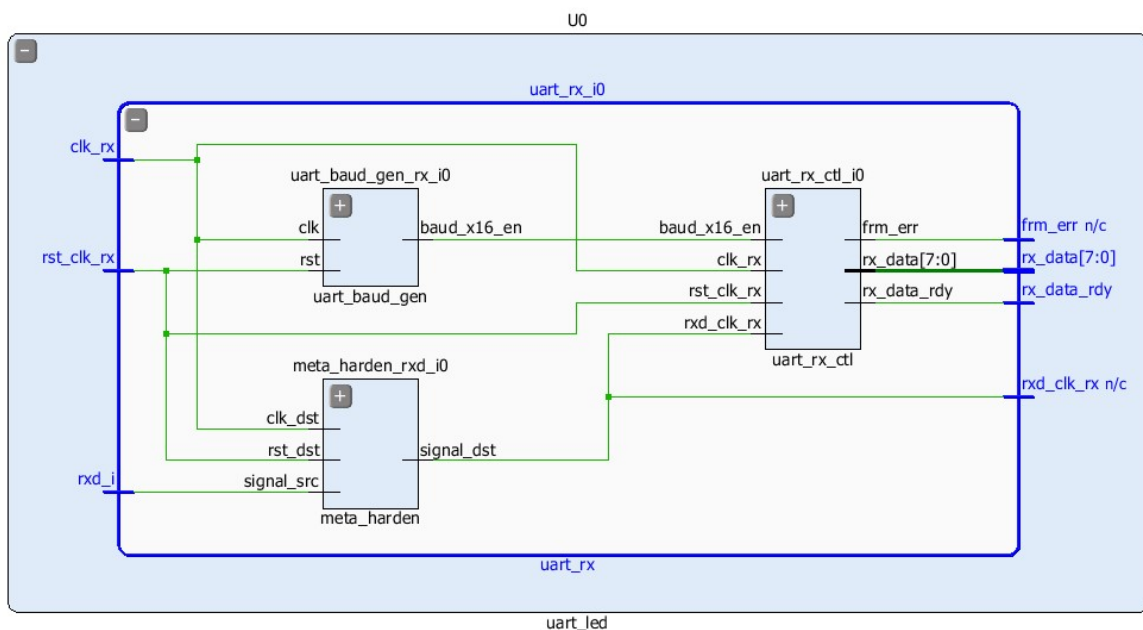


Figura 4. Estructura interna del módulo *uart_rx_i0*

- 2-1-4. En el panel *Flow Navigator*, en la sección *RTL Analysis*, expandir la opción *Open Elaborated Design* y seleccionar **Report Noise**.
- 2-1-5. Presionar **OK** para generar el reporte (de nombre **ssn_1**).
- 2-1-6. Abrir el reporte *ssn_1* y ver que hay puertos sin ubicación (unplaced ports), las secciones *Summary* y *I/O Bank Details* están resaltadas en rojo porque no se hicieron las asignaciones de pines. Solo se marcan los pines de salida porque el análisis de ruido solo se hace sobre pines de salida.

Name	Port	I/O Std	Vcco	Slew	Drive Strength (...)	Off-Chip Termina...	Remaining Margin ...	Notes
I/O Bank 0 (0)								
I/O Bank 13 (0)								
I/O Bank 34 (0)								
I/O Bank 35 (0)								
Unplaced Ports (4)								
led_pins[0]	led_pins[0]	LVCMOS18		1.80	SLOW	12	FP_VTT_50	CRITICAL WARNING - Unplaced port
led_pins[1]	led_pins[1]	LVCMOS18		1.80	SLOW	12	FP_VTT_50	CRITICAL WARNING - Unplaced port
led_pins[2]	led_pins[2]	LVCMOS18		1.80	SLOW	12	FP_VTT_50	CRITICAL WARNING - Unplaced port
led_pins[3]	led_pins[3]	LVCMOS18		1.80	SLOW	12	FP_VTT_50	CRITICAL WARNING - Unplaced port

Figura 5. Reporte de ruido

- 2-1-7. En *Project Navigator*, presionar **Add Sources**, seleccionar *Add or Create Constraints* y presionar **Next**.
- 2-1-8. Presionar el botón **Add Files** y agregar el archivo **uart_led_pins_ArtyZ7.xdc**, presionar **OK**, y luego **Finish** para agregar la restricción de ubicación de pines.

Como los archivos fuente han cambiado, las herramientas detectan esto y muestran una advertencia.

Elaborated Design is out-of-date. Constraints were modified. [more info](#) [Reload](#)

- 2-1-9. Presionar el enlace **Reload**. Esto procesara las nuevas restricciones.
- 2-1-10. En el panel *Flow Navigator*, en la sección *RTL Analysis*, expandir la opción *Open Elaborated Design* y seleccionar **Report Noise**. Presionar **OK** para generar el reporte **ssn_1**. Observar que ahora no hay errores (no hay resaltados en rojo).

Sintetizar el Sistema

Paso 3

3-1. Sintetizar el sistema con la herramienta de síntesis y analizar los resultados.

- 3-1-1.** Se cambiará la estrategia de síntesis para que el proceso de síntesis se ejecute más rápido (a costa de realizar menos optimizaciones), para ello en el menú *Flow Navigator*, seleccionar **Settings**. Dentro de *Project Settings*, seleccionar **Synthesis**.

En la guía “*UG901-Vivado Design Suite User Guide: Synthesis*”, en el capítulo 1 “*Vivado Synthesis*”, sección “*Using Synthesis*”, en la parte “*Using Synthesis Settings*” se describen las distintas estrategias predefinidas

- 3-1-2.** En la sección *Options*, dentro del recuadro *Strategy*, seleccionar **Flow_RuntimeOptimized**, presionar el botón **OK**

- 3-1-3.** En el menú *Flow Navigator*, seleccionar *Synthesis*, presionar **Run Synthesis**.

Presionar **Save** si aparece el cuadro de dialogo *Save Project*.

El proceso de síntesis se ejecutara sobre el modulo *uart_top.vhd* y todos sus submodulos. Cuando el proceso finalice, aparecerá el cuadro de dialogo *Synthesis Completed* con 3 opciones.

- 3-1-4.** Seleccionar la opción *Open Synthesized Design* y presionar **OK** para ver los resultados del proceso de síntesis.

Presionar **Yes** para cerrar el sistema elaborado si aparece el cuadro de dialogo correspondiente.

- 3-1-5.** Seleccionar la pestaña **Project Summary**

Si la pestaña no está visible, seleccionar **Layout -> Default Layout**, o presionar el icono de

Project Summary .

- 3-1-6.** En la pestaña **Project Summary**, en la sección *Utilization* (al final del reporte) presionar la pestaña **Table** y completar la siguiente tabla.

Tabla 1

Resource	Estimation	Available	Utilization
LUT			
FF			
IO			
BUFG			

- 3-1-7.** En el menú *Flow Navigator*, seleccionar *Synthesis*, seleccionar *Open Synthesized Design* y presionar **Schematic**.

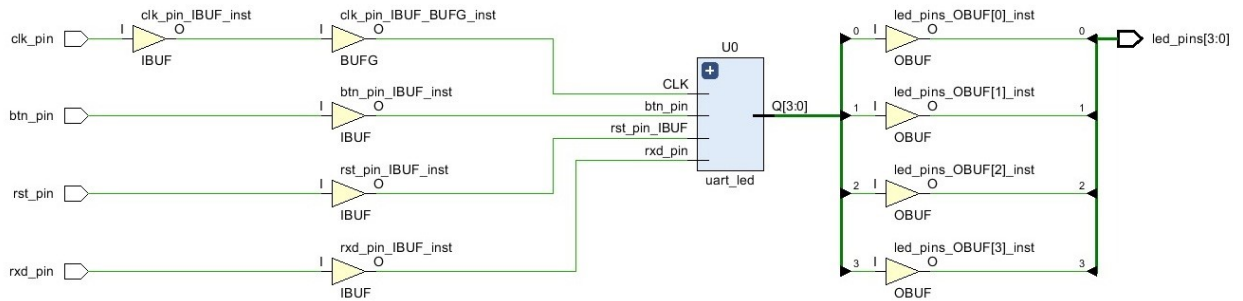


Figura 6. Diagrama esquemático del sistema sintetizado

Los bloques IBUF y OBUF se instancian automáticamente y se agregan al sistema para las señales de entradas y salidas.

3-1-8. Presionar dos veces en la instancia **U0** y luego en la instancia **uart_rx_i0** para ver su estructura interna.

3-1-9. Seleccionar la instancia **uart_baud_gen_rx_i0** y presionar el botón derecho sobre el nombre de la instancia. Seleccionar *Go To Source*.

Se abrirá el archivo fuente correspondiente en la línea 86, donde está el instanciado del modulo. A su vez los parámetros **CLOCK_RATE** y **BAUD_RATE** se pasan como parámetros.

3-1-10. Volver al diagrama esquemático y presionar dos veces en la instancia **meta_harden_rxd_io** para ver como se implementa el circuito de sincronización mediante dos FFs. Este circuito es necesario para reducir la probabilidad de metaestabilidad.

3-1-11. Presionar el botón (↶) en la vista de diagrama esquemático para subir de nivel en la estructura del sistema.

3-2. Análisis del reporte de temporización.

3-2-1. En el menú *Flow Navigator*, seleccionar *Synthesis*, y presionar **Report Timing Summary**.

3-2-2. Presionar **OK** para generar el reporte **Timing_1**.

Setup	Hold	Pulse Width
Worst Negative Slack (WNS): -3,970 ns	Worst Hold Slack (WHS): -1,508 ns	Worst Pulse Width Slack (WPWS): 9,500 ns
Total Negative Slack (TNS): -15,790 ns	Total Hold Slack (THS): -2,983 ns	Total Pulse Width Negative Slack (TPWS): 0,000 ns
Number of Failing Endpoints: 4	Number of Failing Endpoints: 2	Number of Failing Endpoints: 0
Total Number of Endpoints: 102	Total Number of Endpoints: 102	Total Number of Endpoints: 50

Timing constraints are not met.

Figure 7. Reporte de temporización Arty Z7

Notar que las entradas *Design Timing Summary* e *Inter-Clock Paths* del panel de la izquierda están resaltadas en rojo, indicando violaciones de temporización. En el panel de la derecha la

información está dividida en tiempo de establecimiento, retención y ancho de pulso (Setup, Hold, y Pulse Width).

En la columna *Worst Negative Slack (WNS)* hay un enlace para indicar que siguiéndolo se puede ver como se arma el camino de temporización. El indicador *Total Negative Slack (TNS)* esta resaltado en rojo para indicando la cantidad total de tiempo de las violaciones de temporización del sistema y el indicado *Number of Failing Endpoints* indica la cantidad total de caminos de temporización que no cumplen los requisitos de temporización.

3-2-3. Presionar el enlace de WNS y verificar los 4 caminos que no cumplen la temporización.

Name	Slack	Levels	High Fanout	From	To	Total Delay	Logic Delay	Net Delay	Requirement	Source Clock	Destination Clock
Path 21	-3.970	1	1	U0/led_ctl_i0/led_o_reg[1]C	led_pins[1]	5.003	4.203	0.800	4.000	clk_pin	virtual_clock
Path 22	-3.965	1	1	U0/led_ctl_i0/led_o_reg[0]C	led_pins[0]	4.998	4.198	0.800	4.000	clk_pin	virtual_clock
Path 23	-3.929	1	1	U0/led_ctl_i0/led_o_reg[3]C	led_pins[3]	4.962	4.162	0.800	4.000	clk_pin	virtual_clock
Path 24	-3.927	1	1	U0/led_ctl_i0/led_o_reg[2]C	led_pins[2]	4.960	4.160	0.800	4.000	clk_pin	virtual_clock

Figura 8. Los 4 caminos de temporización que no cumplen los requisitos de temporización

3-2-4. Presionar 2 veces en Path 21 para ver como se arma ese camino.

Summary

Name: Path 21
 Slack: -3.970ns
 Source: U0/led_ctl_i0/led_o_reg[1]C (rising edge-triggered cell FDRE clocked by clk_pin (rise@0.000ns fall@10.000ns period=20.000ns))
 Destination: led_pins[1] (output port clocked by virtual_clock (rise@0.000ns fall@6.000ns period=12.000ns))
 Path Group: virtual_clock
 Path Type: Max at Slow Process Corner
 Requirement: 4.000ns (virtual_clock rise@24.000ns - clk_pin rise@20.000ns)
 Data Path Delay: 5.003ns (logic 4.203ns (84.015%) route 0.800ns (15.985%))
 Logic Levels: 1 (OBUF=1)
 Output Delay: 0.000ns
 Clock Path Skew: -2.942ns
 Clock Uncertainty: 0.025ns
 Clock Dom_Crossing: Inter clock paths are considered valid unless explicitly excluded by timing constraints such as set_clock_groups or set_false_path.

Source Clock Path

Delay Type	Incr (ns)	Path (ns)	Location	Netlist Resource(s)
(clock clk_pin rise edge)	(r) 20.000	20.000		
	(r) 0.000	20.000	Sit..16	clk_pin
net (fo=0)	0.000	20.000		clk_pin
IBUF (Prop_ibuf_i_o)	(r) 1.457	21.457	Sit..16	clk_pin_IBUF_instI
net (fo=1, unplaced)	0.800	22.257		clk_pin_IBUF
				clk_pin_IBUF_BUFInstI
BUFG (Prop_bufg_i_o)	(r) 0.101	22.358		clk_pin_IBUF_BUFInstO
net (fo=49, unplaced)	0.584	22.942		U0/led_ctl_i0/CLK
				U0/led_ctl_i0/led_o_reg[1]C

Data Path

Destination Clock Path

Figura 9. Detalle de un camino de temporización que no cumple los requisitos

3-3. Generación de los reportes de utilización y consumo.

3-3-1. Presionar Report Utilization dentro de Open Synthesized Design, y presionar OK para generar el reporte de utilización. Presionar Summary en el panel de la izquierda.

Resource	Utilization	Available	Utilization %
LUT	40	53200	0.08
FF	45	106400	0.04
IO	8	125	6.40

Figura 10. Resumen del reporte de utilización

- 3-3-2. Seleccionar la entrada Slice Logic en el panel de la izquierda y ver la utilización de cada instancia (Slice Logic -> Slice LUTs -> LUT as Logic). Expandir las instancias del panel de la derecha para ver la utilización de cada submódulo.

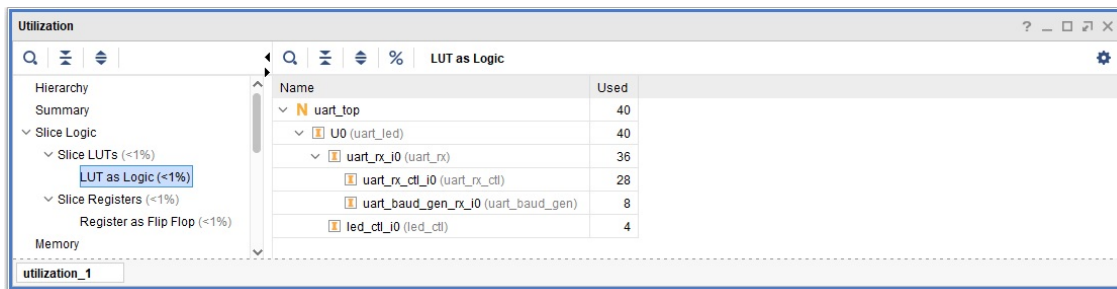


Figura 11. Utilización de recursos por cada módulo

- 3-3-3. Presionar **Report Power** en *Open Synthesized Design*, y presionar **OK** para generar la estimación de consumo del sistema.

En este punto el reporte es una estimación, ya que no hay información adicional sobre la utilización del sistema.

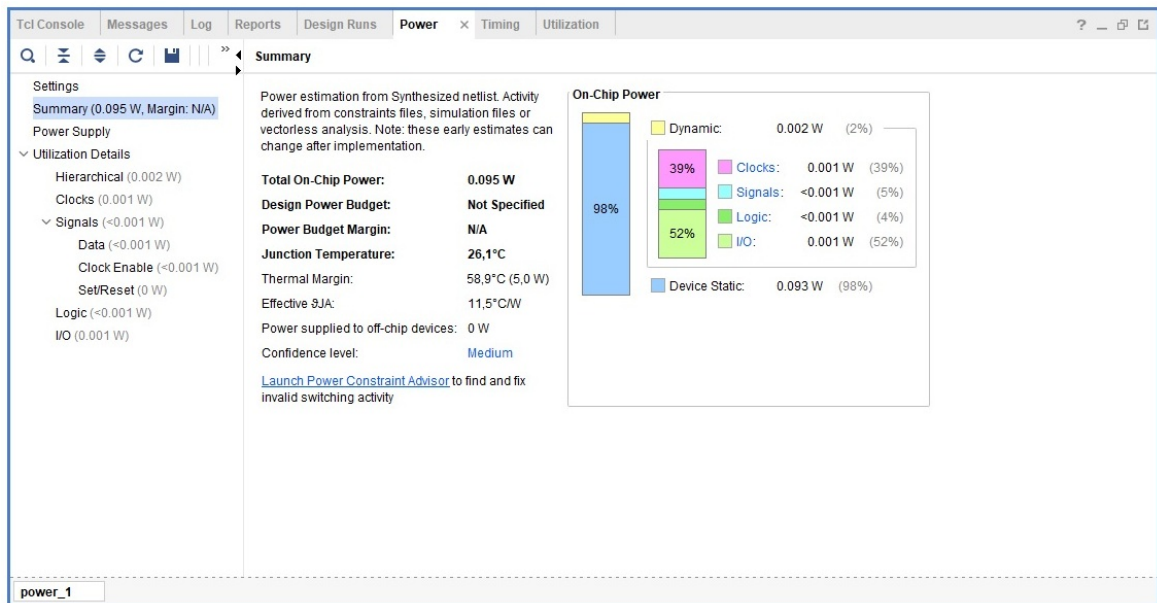


Figura 12. Estimación de consumo

3-4. Escribir el punto de chequeo para analizar los resultados posteriormente sin necesidad de volver a sintetizar el sistema.

3-4-1. Seleccionar el menú **File -> Checkpoint -> Write...** para grabar el sistema en el estado actual, de manera que pueda ser abierto posteriormente para su análisis.

3-4-2. Aparecerá un cuadro de dialogo mostrando el nombre por defecto del archivo de punto de chequeo en el directorio del proyecto.



Figura 13. Cuadro de dialogo para guardar un punto de chequeo

3-4-3. Presionar **OK**.

3-5. Cambiar la configuración de la herramienta de síntesis para aplanar la estructura del sistema. Sintetizar nuevamente y analizar los resultados.

3-5-1. En *Project Manager* presionar **Settings**. Se abrirá el cuadro de dialogo con la configuración del proyecto. En el panel de la izquierda, bajo *Project Settings* seleccionar **Synthesis**.

3-5-2. En la sección *Options*, en el recuadro *Strategy*, seleccionar la estrategia **"Flow_PerfOptimized_high"**

3-5-3. En la configuración **flatten_hierarchy** seleccionar **full** para aplanar la estructura del sistema.

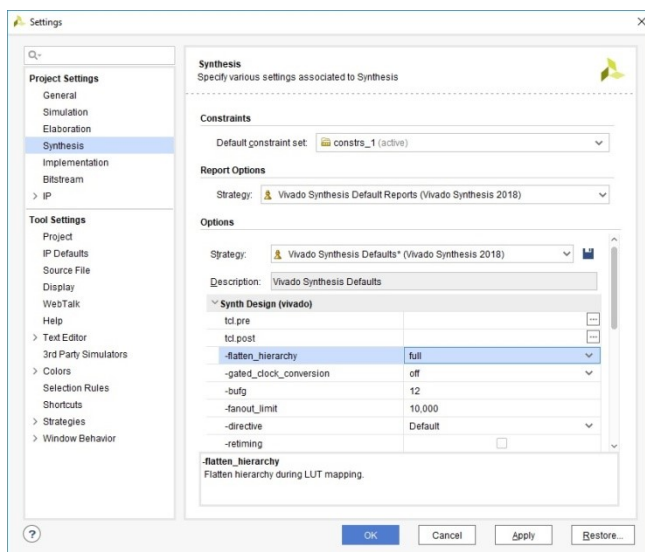


Figura 14. Opción -flatten_hierarchy

3-5-4. Presionar **OK**.

- 3-5-5. Aparecerá un cuadro de dialogo *Create New Run* consultando si se debe crear una nueva síntesis independiente, ya que la configuración del proyecto cambio.

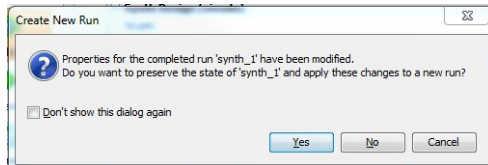


Figura 15. Cuadro de dialogo *Create New Run*

- 3-5-6. Presionar **Yes**.
- 3-5-7. Cambiar el nombre de la nueva síntesis de **synth_2** a **synth_flatten** y presionar **OK**.
- 3-5-8. En el menú *Flow Navigator*, seleccionar *Synthesis*, presionar **Run Synthesis**.
- 3-5-9. Presionar **OK**. El sistema será sintetizado nuevamente
- 3-5-10. Una vez completado el proceso de síntesis aparecerá el cuadro de dialogo *Synthesis Completed*. Seleccionar la opción *Open Synthesized Design* y presionar **OK** para abrir el sistema sintetizado.
- 3-5-11. En el menú *Flow Navigator*, seleccionar *Synthesis*, seleccionar *Open Synthesized Design* y presionar **Schematic** para ver el diagrama esquemático del sistema.

El sistema está totalmente aplanado y no hay una estructura de módulos y submódulos.

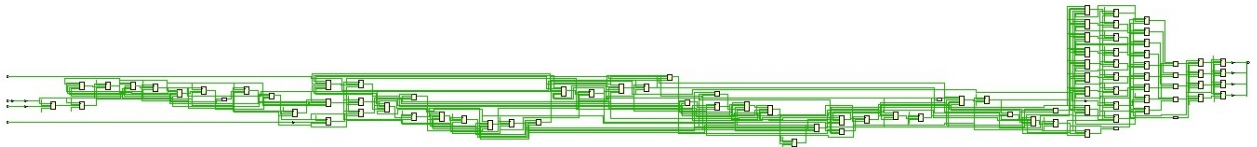


Figura 16. Sistema aplanado

- 3-5-12. Presionar en el reporte **Report Utilization**, presionar **OK** para generar el reporte y verificar que no está disponible la estructura jerárquica, sino que hay un único módulo. Presionar *Summary* y registrar la cantidad de recursos utilizados.

LUT: _____

FF: _____

- 3-6. **Guardar el nuevo punto de chequeo para analizar los resultados sin necesidad de volver a sintetizar el sistema.**

- 3-6-1. Seleccionar el menu **File -> Checkpoint -> Write...** para grabar el sistema en el estado actual, de manera que pueda ser abierto posteriormente para su análisis.

- 3-6-2. Aparecerá un cuadro de dialogo mostrando el nombre por defecto del archivo de punto de cheque en el directorio del proyecto.

- 3-6-3. Presionar **OK**.

3-6-4. Cerrar el Proyecto mediante el menú **File -> Close Project**.

Leer los Puntos de Chequeo

Paso 4

4-1. Leer el punto de chequeo guardado (checkpoint_1) para analizar los resultados sin sintetizar nuevamente el sistema.

4-1-1. En la pantalla de inicio *Quick Start*, seleccionar **Select File -> Checkpoint -> Open**.

4-1-2. Navegar hasta el directorio del proyecto y seleccionar el punto de chequeo **checkpoint_1**.

4-1-3. Presionar **OK**.

4-1-4. Si el diagrama esquemático no se abre inicialmente, en la pestaña de redes (netlist) del panel de la izquierda, seleccionar el modulo **U0 (uart_led)**, presionar el botón derecho y seleccionar **Schematic**.

En la pestaña Schematic se verán los módulos del sistema. Presionando dos veces en un modulo, se accede a su estructura interna. También se puede seleccionar un submodulo en el panel de la izquierda, presionar el botón derecho y seleccionar la opción Schematic para abrir su correspondiente diagrama esquemático.

4-1-5. En la pestaña *netlist*, seleccionar la instancia **U0 (uart_led)**, presionar el botón derecho y seleccionar **Show Hierarchy**.

Se puede ver así una representación de la relación entre los distintos módulos.

4-1-6. Seleccionar **Reports -> Timing -> Report Timing Summary** y presionar **OK** para ver el correspondiente reporte.

4-1-7. Seleccionar **Reports -> Timing -> Report Utilization** y presionar **OK** para ver el correspondiente reporte

4-1-8. Seleccionar **File -> Open Checkpoint**, Navegar hasta el directorio del proyecto y seleccionar el punto de chequeo **checkpoint_2**. Presionar **OK** para abrirlo

4-1-9. En el cuadro de dialogo, presionar **No** para mantener abierto el punto de chequeo **Checkpoint_1**.

Esto abrirá una segunda instancia del entorno grafico.

4-1-10. Si el diagrama esquemático no se abre inicialmente, en la pestaña de redes (netlist) del panel de la izquierda, seleccionar el modulo **uart_top**, presionar el botón derecho y seleccionar **Schematic**.

En la pestaña Schematic se verá el sistema aplanado.

4-1-11. En ambos puntos de chequeo se puede acceder a los reportes necesarios.

4-1-12. Cerrar la aplicación seleccionando **File- > Exit** y presionando **OK** en ambos cuadros de dialogo.