

Agregar IP Propia

Introducción

En esta práctica se va a agregar IP propia al sistema. Por una parte se agregará un periférico de salida mediante una plantilla de periférico con interfaz AXI4-Lite; y por otra parte se agregará un controlador de memoria BlockRAM (y su memoria asociada) con una interfaz AXI4-Full.

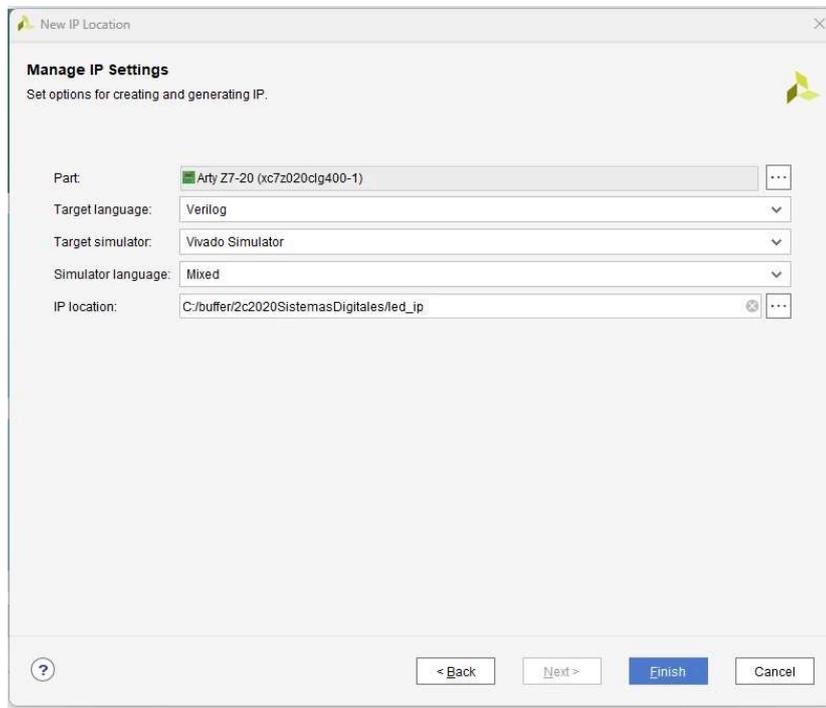
Objetivos

- Usar el asistente IP Packager para agregar IP propia
- Modificar la funcionalidad de la IP creada
- Agregar la IP propia al sistema
- Agregar restricciones de ubicación de pines a través de un archivo de restricciones
- Agregar memoria BlockMemory al sistema.

Procedimiento

Crear IP Propia usando el asistente Create and Package IP

1. Abrir la herramienta Vivado
2. En la pantalla de inicio, en el panel **Tasks** presionar **Manage IP** y en el menu desplegable seleccionar **New IP Location**. Se abra la ventana emergente **New IP Location**. Presionar el boton **Next**
3. En **Part** seleccionar la placa **Arty Z7-20**, en **Target Lenguaje**, seleccionar **Verilog**. En **Simulator Lenguaje** seleccionar **Mixed**, y en **IP location** colocar el path apropiado y como directorio ****{path}_ip**. **Presionar Finish**** (dejar las otras opciones por defecto y presionar **OK** si una ventana emergente pregunta si crear el directorio)



Ventana IP Settings

Ejecutar el asistente Create and Package IP

1. En el menu de la parte superior, seleccionar **Tools -> Create and Package New IP**
2. En la ventana emergente presionar el boton **Next**
3. Seleccionar la opción **Create a new AXI4 peripheral** y presionar **Next**
4. Completar los datos de la IP

Name: *led_ip*

Version: *1.0*

Display Name: *led_ip_v1_0*

Description: *Periferico de Salida*

IP Location: (dejar la ubicación por defecto)

5. Presionar **Next**
6. Cambiar el nombre de la interface de **S00_AXI** a **S_AXI**
7. Dejar las otras opciones con sus valores por defecto (*Lite interface, Slave mode, Data Width: 32, Number of Registers: 4*). Presionar **Next**
8. Seleccionar la opción **Edit IP** y presionar **Finish**. Se abrira una nueva instancia de la herramienta Vivado con el proyecto de la nueva IP

Crear una interfaz para los LEDs

1. En el panel **sources** dar doble click al archivo **led_p_v1_0.v**.

Este archivo tiene el codigo HDL (verilog) para la interfaz. El archivo raiz tiene un módulo que implementa la logica para la interfaz AXI. En los respectivos directorios tambien hay un ejemplo para leer y escribir los registros. Esta `plantilla se puede

utilizar como base para una IP propia que utilice el bus AXI4-Lite para comunicarse con el PS Se agregara un nuevo port para conectar los LEDs y se conectara con un registro del bus AXI.

Desplazarse hasta la linea 7, donde esta el espacio para los parametros de usuario (user parameters)

2. Agregar en la linea 7:

```
7 parameter integer LED_WIDTH = 4,
```

3. Ir a la linea 18 y agregar:

```
18 output wire [LED_WIDTH-1:0] LED,
```

| no olvidar las comas despues de los valores o se producira un error de sintaxis

4. Ir a la linea 48 e insertar:

```
48 .LED_WIDTH(LED_WIDTH),
```

| Agregar el texto en la linea 48 y desplazar todo una linea hacia adelante (la linea 48 anterior pasa a ser la linea 49)

5. Ir a la linea 52 e insertar:

```
52 .LED(LED),
```

| Agregar el texto en la linea 52 y desplazar todo una linea hacia adelante (la linea 52 anterior pasa a ser la linea 53)

6. Guardar el archivo (puede ser mediante las teclas **CTRL+S**)

7. En el panel **sources** expandir **led_ip_v1_0** y abrir el archivo **led_ip_v1_0_S_AXI.v**

8. Agregar el parámetro y port LED en las lineas 7 y 18 como se hizo en los pasos 2 y 3

9. Desplazar hasta la línea 401 e insertar el siguiente código para instanciar la IP propia (user logic)

```
401 lab3_user_logic # (  
402     .LED_WIDTH(LED_WIDTH)  
403 )  
404 U1(  
405     .S_AXI_ACLK(S_AXI_ACLK),  
406     .slv_reg_wren(slv_reg_wren),  
407     .axi_awaddr(axi_awaddr[C_S_AXI_ADDR_WIDTH-1:ADDR_LSB]),  
408     .S_AXI_WDATA(S_AXI_WDATA),  
409     .S_AXI_ARESETN(S_AXI_ARESETN),  
410     .LED(LED)  
411 );
```

Estas señales conectan la lógica del bus AXI con la IP propia.

10. Guardar el archivo (puede ser mediante las teclas **CTRL+S**)

11. En el panel **Flow Navigator** (a la izquierda) presionar **Add Sources**. En la ventana emergente seleccionar **Add or create design sources**. Presionar **Next**. En la nueva ventana presionar **Add Files** y agregar el archivo **lab 3_user_logic.v**. Presionar **OK**. Se volvera a la ventana anterior, verificar que este seleccionada la opcion **Copy sources into IP Directory** y presionar **Finish**

Verificar el contenido del archivo y la jerarquia del diseño.

- En **Flow Navigator** presionar *Run Synthesis* (guardar los archivos si se pide)
- Cuando finalice el proceso y aparezca la ventana emergente, seleccionar **Cancel**

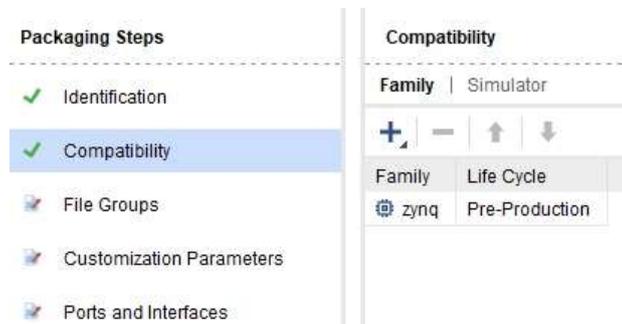
Empaquetar la IP

- En el panel **Flow Navigator** presionar **Package IP**. Aparecera una nueva pestaña **Package IP - led_ip**



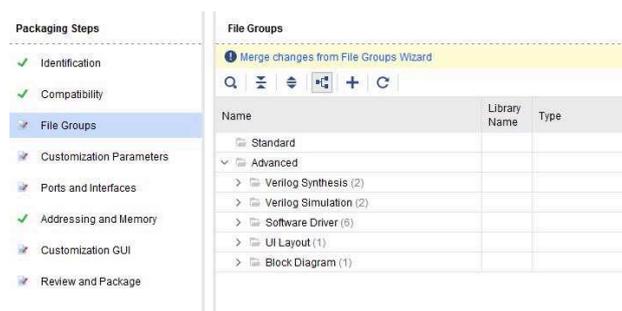
Pestaña Package IP

- Para que la IP aparezca en el catalogo en una categoria en particular, se la debe configurar. Presionar el signo + azul (arriba del texto *AXI_Peripheral*). Se abrira una ventana emergente de categorias **IP Categories**
- Deseleccionar la opcion *AXI Peripheral* y seleccionar la opcion *Basic Elements* y presionar **OK**.
- En la pestaña **Package IP - led_ip** Seleccionar la opcion **Compatibility** (a la izquierda). Verificar que este seleccionada la familia **zynq**



Opcion Compatibility

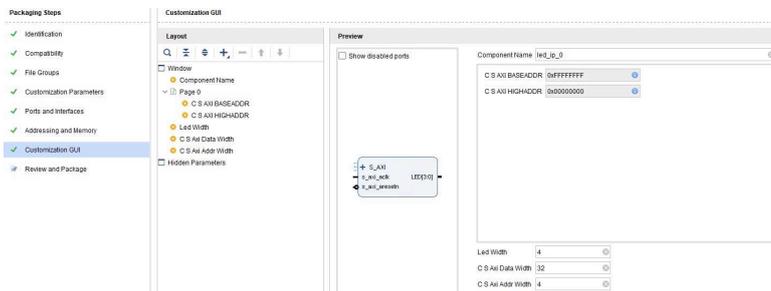
- Presionar en **File Groups** y seleccionar el enlace **Merge changes from File Groups Wizard**



Opcion File Groups

Esto se hace para actualizar con los cambios realizados en los archivos y el agregado del archivo **lab3_user_logic.v**

- Expandir la entrada **Verilog Synthesis**. Se agrego el archivo **lab3_user_logic.v**
- Presionar la siguiente opción **Customization Parameters** y presionar el enlace **Merge changes from Customization Parameters Wizard**
- Seleccionar **Customization Parameters**, expandir **Hidden Parameters**, presionar el botón derecho del ratón sobre **LED_WIDTH**, y seleccionar **Import IP Parameters...** En la ventana emergente presionar **OK**. Verificar que ahora en la columna **Customization Parameters** figura **LED_WIDTH**
- Verificar en la opción **Ports and Interfaces** que hay creado un puerto **LED**
- En la opción **Addressing and Memory** se puede configurar el espacio de direcciones que ocupa el periférico. Dejar las opciones por defecto.
- Seleccionar la opción **Customization GUI** y verificar que el parámetro **Led Width** y el puerto **LED** son visibles.



Customization GUI

- Seleccionar **Review and Package** y verificar la ubicación donde se creara la IP.
- Presionar el botón **Re-Package IP**. En la ventana emergente presionar **Yes**. El proyecto se cerrara al finalizar el proceso.
- En la herramienta Vivado presionar **File -> Close Project**. Si aparece una ventana emergente presionar **OK**

Agregar un repositorio al proyecto

- Iniciar la herramienta Vivado si es necesario y abrir el proyecto del Lab2
- Seleccionar **File -> Project -> Save As...** y guardar el proyecto como **Lab03PS**. Verificar que este seleccionada la opción **Create Project Subdirectory** y presionar **OK**.
- En el panel **Flow Navigator** presionar **Settings**.
- En la ventana emergente expandir **IP** y seleccionar **Repository**
- En el recuadro **IP repositories** presionar el botón "+". Navegar hasta el directorio ****_ip**** y presionar **Select**. Se abra una ventana emergente informando que se agrego un repositorio al proyecto. Presionar **OK** (Si se expande la entrada **IPs** se vera que se agrego la IP **led_ip_v1.0**)



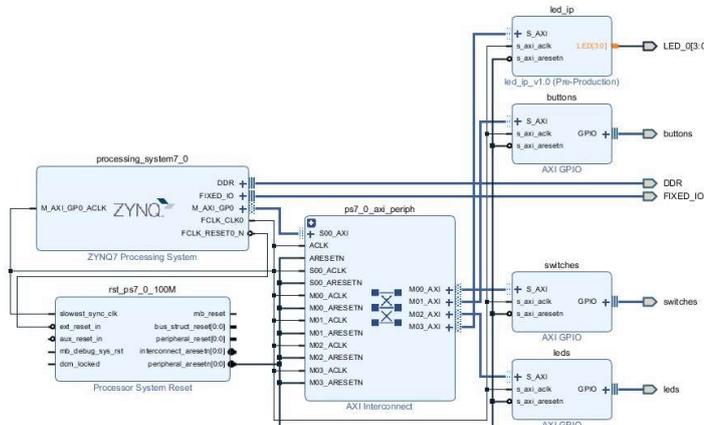
Especificar Repositorio de IP

6. Presionar **OK** para cerrar la ventana emergente.

Agregar la IP propia, memoria BlockRAM y restricciones al proyecto

Agregar IP propia

1. En el panel **Flow Navigator** en la opción **IP Integrator** presionar **Open Block Design**
2. En la ventana de diagrama presionar el boton derecho del raton y seleccionar **add IP...** Buscar **led_ip_v1.0** en el catalogo. Seleccionarla y presionar **Enter** para agregarla.
3. Seleccionar la IP agregada y cambiar el nombre a **led_ip** en el panel **Block Properties**.
4. Dar doble click en el bloque para abrir su configuracion (ventana emergente **Re-customize IP**).
5. En esta ventana se pueden modificar los parametros de la IP. Dejar las opciones por defecto y presionar **OK**
6. Presionar el enlace **Run Connection Automation** (en la parte superior). En la ventana emergente seleccionar **/led_ip/S_AXI** (si no esta seleccionado) y presionar **OK**.
7. Presionar el boton **Regenerate Layout** (tercer boton de derecha a izquierda en la pestaña **Diagram**) para redibujar el diagrama.
8. Seleccionar el puerto **LED** en la instancia **led_ip** presionando en su conexion, presionar el boton derecho del raton y seleccionar la opcion **Make External**. Se agregará la conexion externa **LED_0[3:0]**



Puerto externo LED_0 agregado y conectado

9. Cambiar a la pestaña **Address Editor** (a la derecha de **Diagram**) y verificar el rango de direcciones asignados al periférico **led_ip**.

Agregar memoria BlockRAM

11. En la pestaña **Diagram** presionar el boton derecho del raton, seleccionar la opción **Add IP**, buscar **BRAM** y agregar un bloque **AXI BRAM Controller**
12. Presionar el enlace **Run Connection Automation**. En la ventana emergente seleccionar **axi_bram_ctrl_0/S_AXI**. Verificar que la entrada **Master** corresponde al bloque **M_AXI_GP0**. Presionar **OK**
13. Dar doble click en el bloque **axi_bram_ctrl_0** para configurarlo. En la ventana emergente, en la opcion **Number of BRAM interfaces** cambiar de 2 a 1. Notar que en la entrada **AXI Protocol** figura **AXI4** en vez de **AXI4-Lite**, ya que la memoria BlockRAM soporta transacciones en rafaga. Presionar **OK**.
14. Presionar el enlace **Run Connection Automation** para agregar y conectar la memoria. Verificar que este seleccionada la opcion **BRAM_PORTA**. Presionar **OK**
15. Presionar el boton **Regenerate Layout** en la pestaña **Diagram**
16. Presionar el boton derecho del raton en el diagrama y elegir del menu desplegable la opcion **Validate Design** para verificar que no hay errores. En la ventana emergente presionar **OK**.

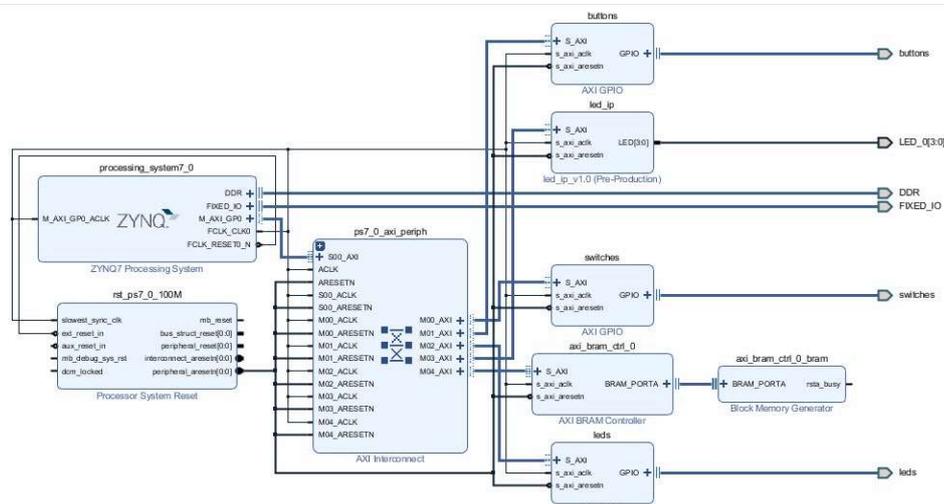


Diagrama completo

6. En la pestaña **Address Editor**, verificar que el rango de **axibramctrl_0** es 8K..
7. Cambiar a la pestaña **Diagram** y presionar el boton derecho del raton en el diagrama y elegir del menu desplegable la opcion **Validate Design** para verificar que no hay errores. En la ventana emergente presionar **Rerun Validate Design**. En la nueva ventana emergente presionar **OK**

Agregar restricciones externas

1. En el panel **Flow Navigator** presionar **Add Sources**. Seleccionar **Add or Create Constraints**. Presionar **Next**.
2. Presionar el boton **Add Files**. Navegar hasta el directorio donde esta el archivo **lab3_ArtyZ7_20.xdc** y seleccionarlo. Presionar **OK**.
3. Presionar **Finish** para agregar el archivo al proyecto.
4. En el panel **Sources** expandir la carpeta **Constraints** y dar doble click al archivo **lab3_ArtyZ7_20.xdc** para ver su contenido. En este archivo esa la ubicacion de pines y IOSTandard para los LEDs verde y azul de la placa. Esta información esta en el manual de la placa.

5. En la carpeta **Desing Sources** expandir **system_wrapper/system_i(system.bd)**. Presionar el boton derecho del raton sobre ese archivo y en el menu desplegable seleccionar la opcion **Generate output products**. En la ventana emergente presionar **Generate**. Al finalizar el proceso presionar **OK** en la ventana emergente.
6. En el panel **Flown Navigator** presionar **Generate Bitstream** y si aparece una ventana emergente preguntando si guardar el proyecto, presionar **Yes**. Si surgen ventanas emergentes para preguntar si se inician los procesos de **Synthesis** y **Implementation** presionar **Yes**.
7. Una vez finalizados los procesos, presionar **Cancel**

En la siguiente práctica se creara el software para controlar la nueva IP y se probara la funcionalidad en el hardware

Conclusión

Se uso la herramienta Vivado IP packager para agregar IP propia a los repositorios. Se integro la IP propia y memoria BlockRAM al sistema. Se agregaron restricciones externas al sistema mediante un archivo .xdc