

Arquitectura de la Familia SoC Zynq

PEDRO IGNACIO MARTOS

PMARTOS@FI.UBA.AR

A solid orange horizontal bar spanning the width of the slide, located at the bottom.

Contenido

- ❑ **Arquitectura de la familia de FPGA SoC Zynq**
- ❑ Arquitectura del bloque PS
- ❑ Periféricos
- ❑ Características de Temporización, Inicialización y Depuración
- ❑ Bus AXI

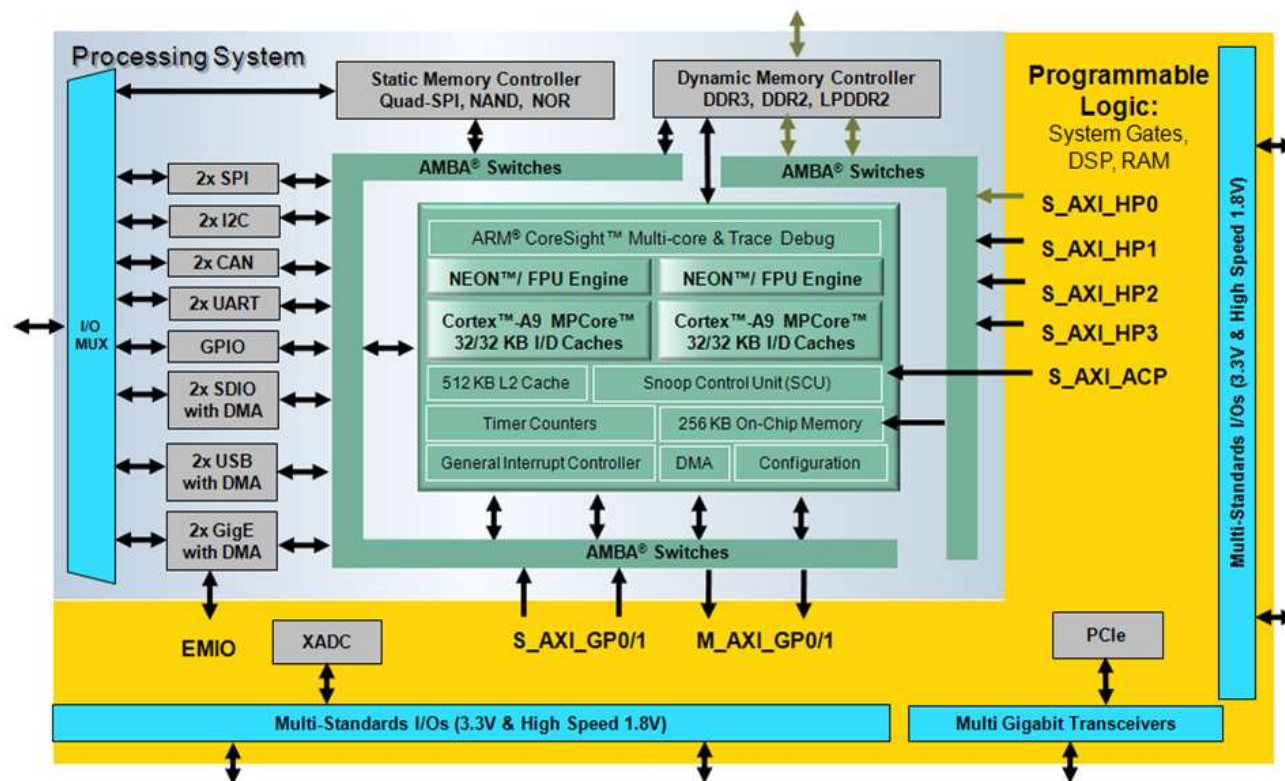
Arquitectura de la familia de FPGA SoC Zynq

Esta familia de FPGA dispone de dos grandes bloques

- ❑ Sistema de Procesamiento (Processing System – PS)
 - ❑ Procesador ARM Cortex A9 en configuración single o dual core
 - ❑ Periféricos e interfaces asociadas.
 - ❑ Implementado como hardcore dentro de la FPGA

- ❑ Lógica Programable (Programmable Logic – PL)
 - ❑ Arquitectura de la Serie7 de FPGAs (Artix, Kintex)

Arquitectura de la familia de FPGA SoC Zynq



Contenido

- ❑ Arquitectura de la familia de FPGA SoC Zynq

- ❑ **Arquitectura del bloque PS**

- ❑ Periféricos

- ❑ Características de Temporización, Inicialización y Depuración

- ❑ Bus AXI

Arquitectura del bloque PS

❑ Procesador ARM

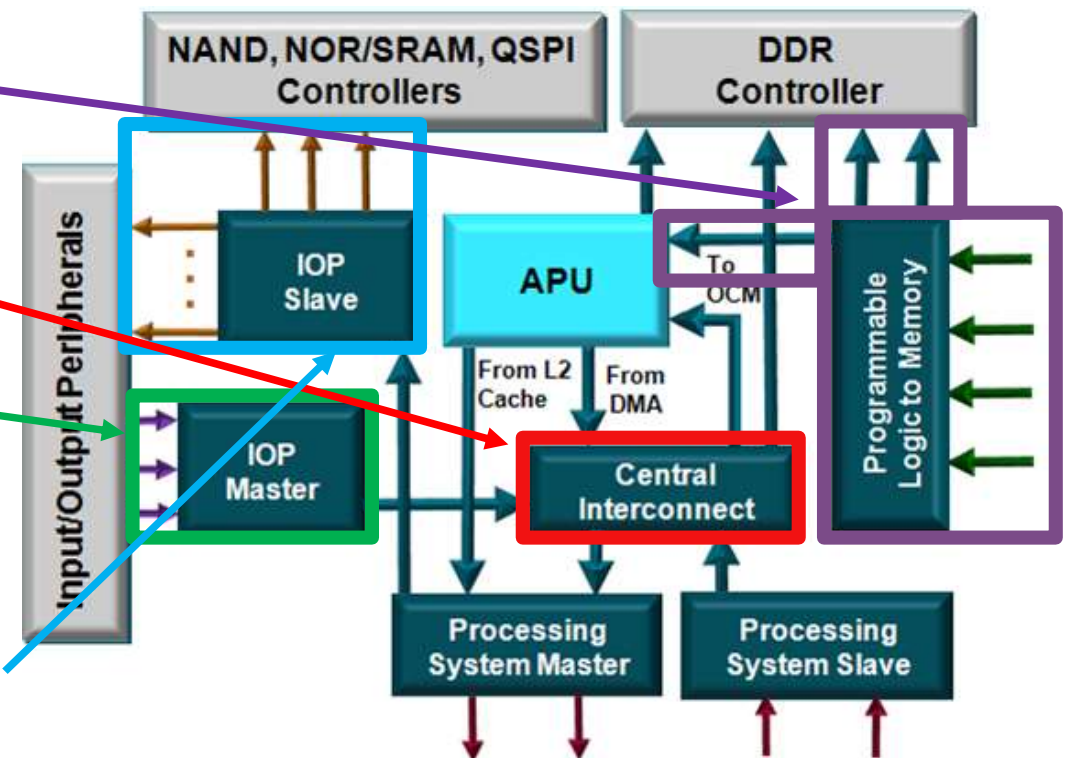
- ❑ Procesador Cortex A9 de 32bits en configuración single o dual hasta @1GHz
- ❑ ISA ARMv7A incluyendo Memory Management Unit – MMU.
- ❑ Extensiones Thumb (16bits), y NEON (Single Instruction, Multiple Data – SIMD).
- ❑ Buses AXI3 y AXI4.
- ❑ Pipeline de ejecución de instrucciones out-of-order
 - ❑ Prefetch con bifurcación para predicción de secuencia de ejecución
 - ❑ Pipeline primario
 - ❑ Pipeline secundario
 - ❑ Pipeline Load-Store para acceso a memoria
 - ❑ Pipeline para ejecución FPU/NEON

❑ Ejecución especulativa

- ❑ Renombrado de registros para evitar dependencias
- ❑ Loop unrolling de código por hardware
- ❑ Reducción de latencia de interrupciones por entrada especulativa a ISR

Arquitectura del bloque PS

- ❑ Interfaz Memoria – Lógica Programable (PL)
 - ❑ Dos Puertos DDR
 - ❑ Un Puerto OCM (OnChip Memory)
- ❑ Interfaz PS – Lógica Programable (PL)
 - ❑ Bloque Central Interconnect
- ❑ Interfaz de periféricos Master
 - ❑ USB, SPI, etc se conectan a memoria DDR y PL a través del bloque Central Interconnect.
- ❑ Interfaz de periféricos Slave
 - ❑ Permiten a la CPU, controlador DMA y PL acceder a los periféricos



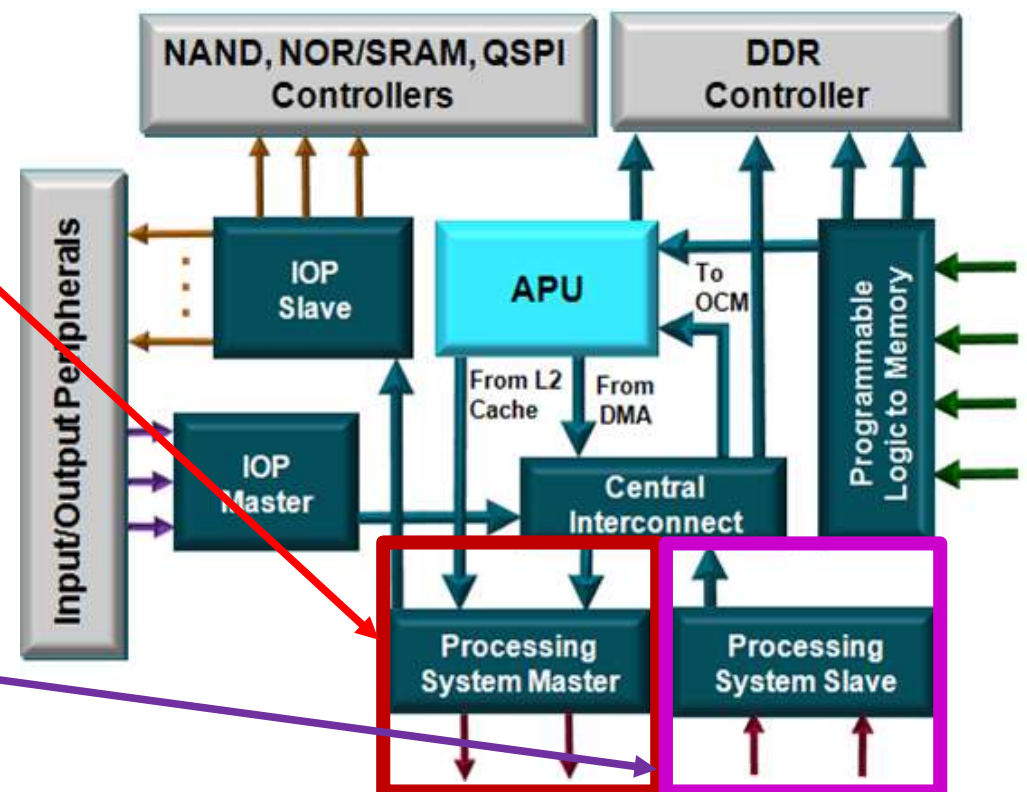
Arquitectura del bloque PS

Processing System Master

- Dos puertos de transferencia desde el procesador (APU) y los periféricos a la lógica programable (PS -> PL)

Processing Sytem Slave

- Dos puertos de transferencia desde la lógica programable a la memoria (DDR y OCM) y al procesador (APU)



Arquitectura del bloque PS

Mapa de memoria:

- ❑ Direccionamiento de 32bits.
- ❑ Los periféricos del PS se mapean como registros dentro del mapa de memoria.
- ❑ Las interfaces AXI esclavas conectadas al PL tienen un rango específico:
 - ❑ 8000_0000 a BFFF_FFFF para GP1
 - ❑ 4000_0000 a 7FFF_FFFF para GP0

FFFC_0000 to FFFF_FFFF	OCM
FD00_0000 to FFFB_FFFF	Reserved
FC00_0000 to FCFF_FFFF	Quad SPI linear address
F8F0_3000 to FBFF_FFFF	Reserved
F890_0000 to F8F0_2FFF	CPU Private registers
F801_0000 to F88F_FFFF	Reserved
F800_1000 to F880_FFFF	PS System registers,
F800_0C00 to F800_0FFF	Reserved
F800_0000 to F800_0BFF	SLCR Registers
E600_0000 to F7FF_FFFF	Reserved
E100_0000 to E5FF_FFFF	SMC Memory
E030_0000 to E0FF_FFFF	Reserved
E000_0000 to E02F_FFFF	IO Peripherals
C000_0000 to DFFF_FFFF	Reserved
8000_0000 to BFFF_FFFF	PL (MAXI_GP1)
4000_0000 to 7FFF_FFFF	PL (MAXI_GP0)
0010_0000 to 3FFF_FFFF	DDR(address not filtered by SCU)
0004_0000 to 000F_FFFF	DDR(address filtered by SCU)
0000_0000 to 0003_FFFF	OCM

Contenido

- ❑ Arquitectura de la familia de FPGA SoC Zynq

- ❑ Arquitectura del bloque PS

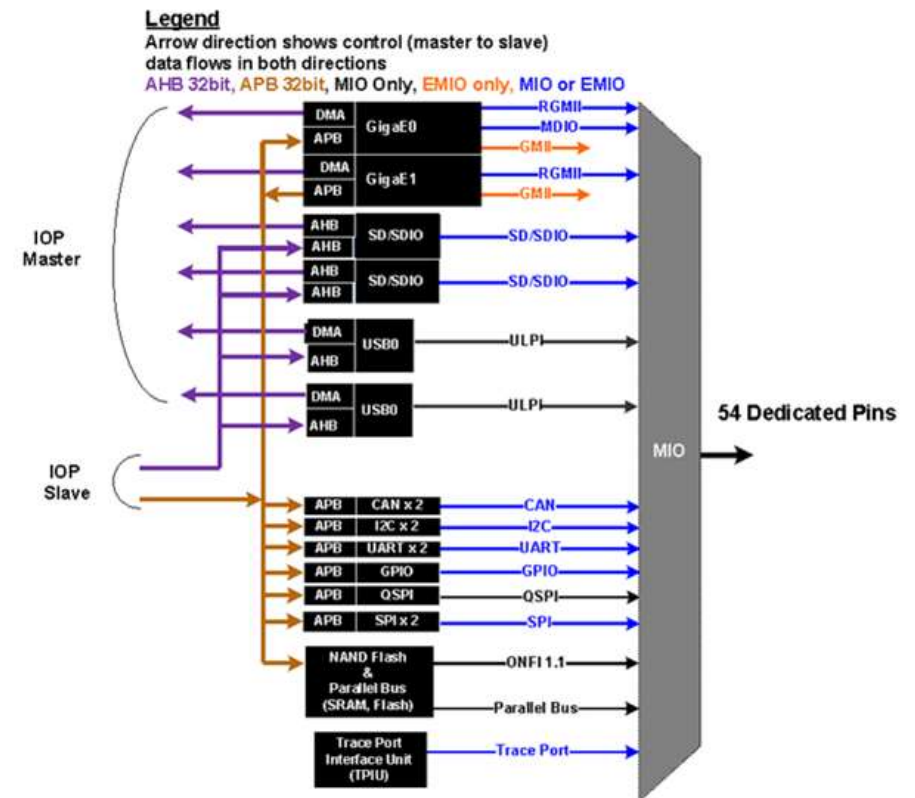
- ❑ **Periféricos**

- ❑ Características de Temporización, Inicialización y Depuración

- ❑ Bus AXI

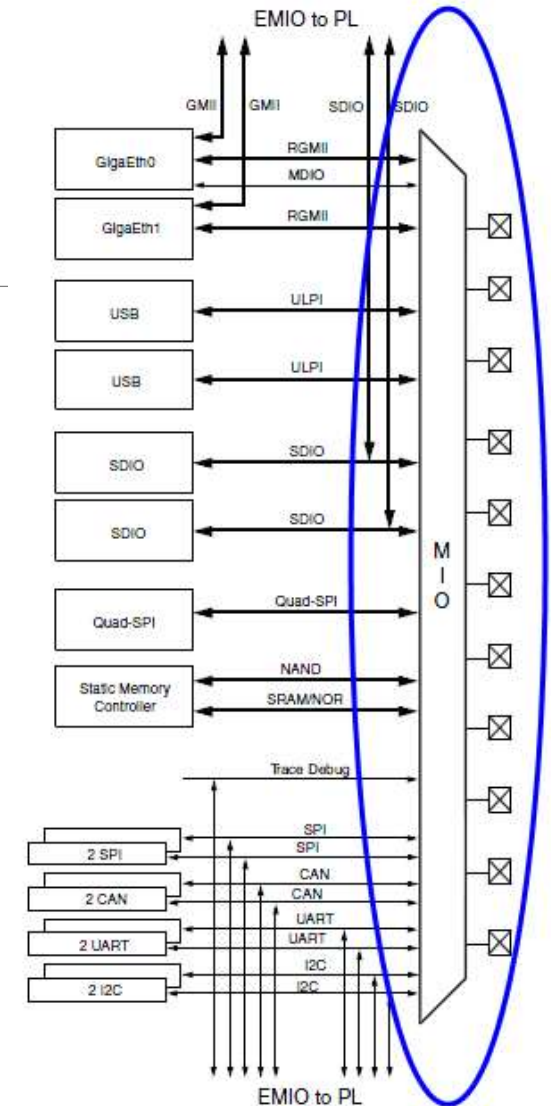
Periféricos

- ❑ 2 x GigE
- ❑ 2 x USB
- ❑ 2 x SPI
- ❑ 2 x SD
- ❑ 2 x CAN
- ❑ 2 x I2C
- ❑ 2 x UART
- ❑ 4 x 32bit GPIO
- ❑ Memorias NAND/NOR/SRAM/QuadSPI
- ❑ Puerto de depuración (Trace Port)



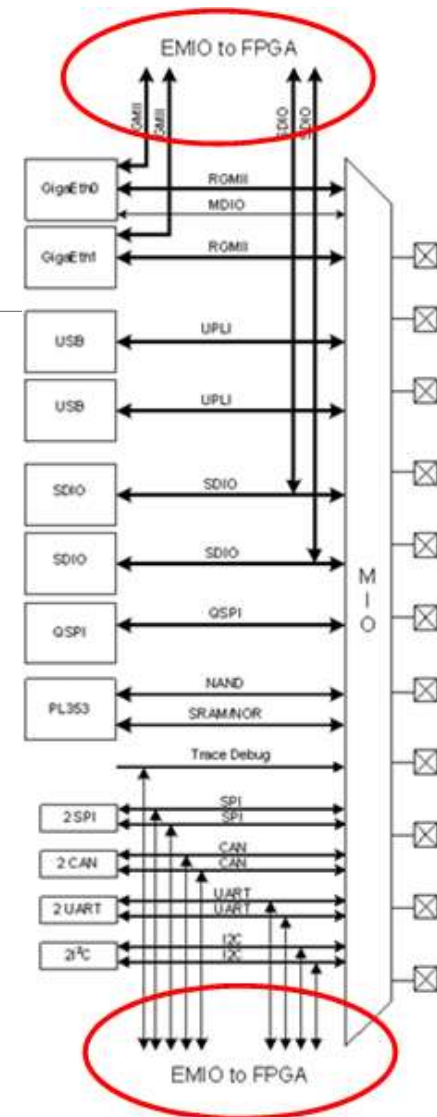
Interfaz MIO

- ❑ 54 pines de I/O disponibles
- ❑ Configurable por software desde el procesador
- ❑ Permite conectar periféricos de PS con el exterior a través de pines de I/O



Interfaz EMIO

- ❑ Conecta Periféricos del PS con el bloque PL
- ❑ Permite conectar periféricos al exterior usando pines de I/O de PL



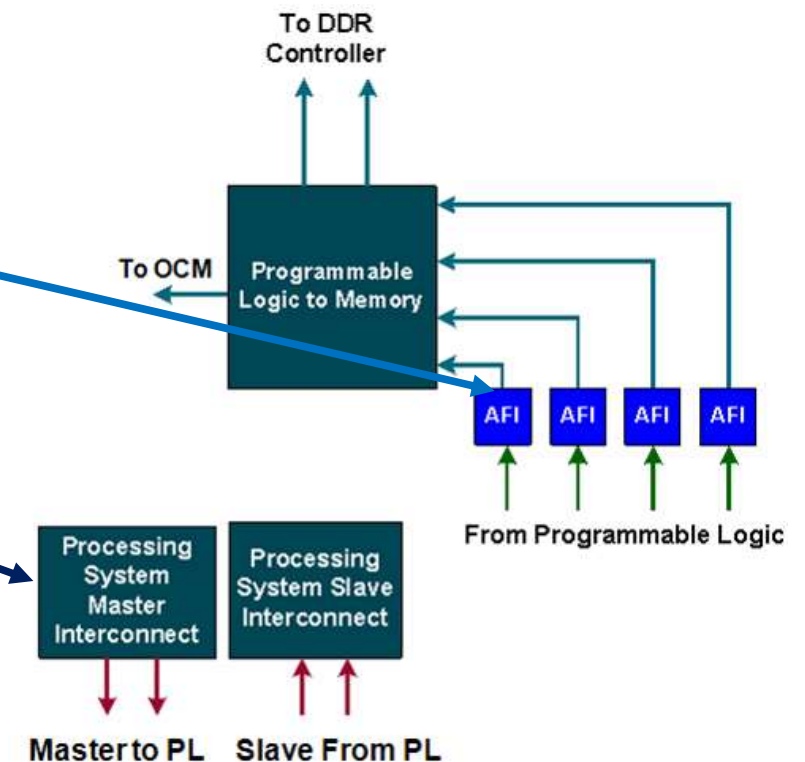
Interfaz PS – PL

❑ AXI High Performance Slave Ports (HP0 a HP3)

- ❑ Tamaño de datos de 32bit o 64bit
- ❑ Permite comunicar el bloque PL con las memorias OCM y DDR
- ❑ Permite sincronizar con la temporización del PS
- ❑ Utiliza una interfaz AXI FIFO de 1kB

❑ AXI General Purpose Ports (GP0 – GP1)

- ❑ Dos puertos maestro (PS → PL)
- ❑ Dos puertos esclavo (PL → PS)
- ❑ Tamaño de datos de 32bits
- ❑ Sincronizado con la temporización del PS



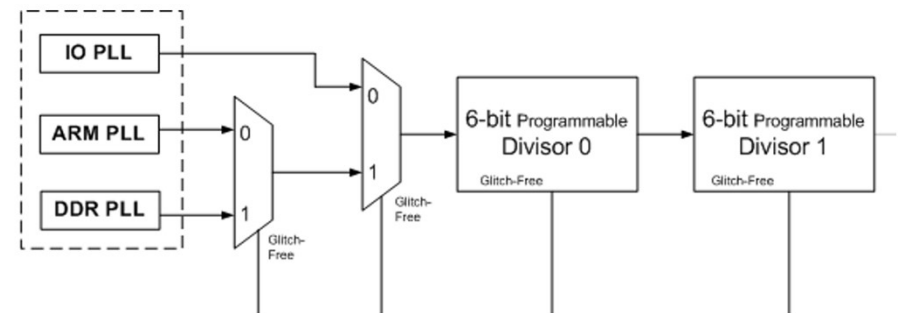
Contenido

- ❑ Arquitectura de la familia de FPGA SoC Zynq
- ❑ Arquitectura del bloque PS
- ❑ Periféricos
- ❑ **Características de Temporización, Inicialización y Depuración**
- ❑ Bus AXI

Temporización

- ❑ Temporización en el bloque PS
 - ❑ Temporización directamente desde un pin de I/O (temporización externa)
 - ❑ Temporización desde un PLL de generación de reloj (3 disponibles)
 - ❑ El PS tiene cuatro puertos de temporización hacia PL

- ❑ Temporización en el bloque PL
 - ❑ Tiene las opciones de temporización de las FPGA serie7
 - ❑ Puede usar además los puertos de temporización del PS



- ❑ El bloque PL no puede temporizar el bloque PS

Inicialización

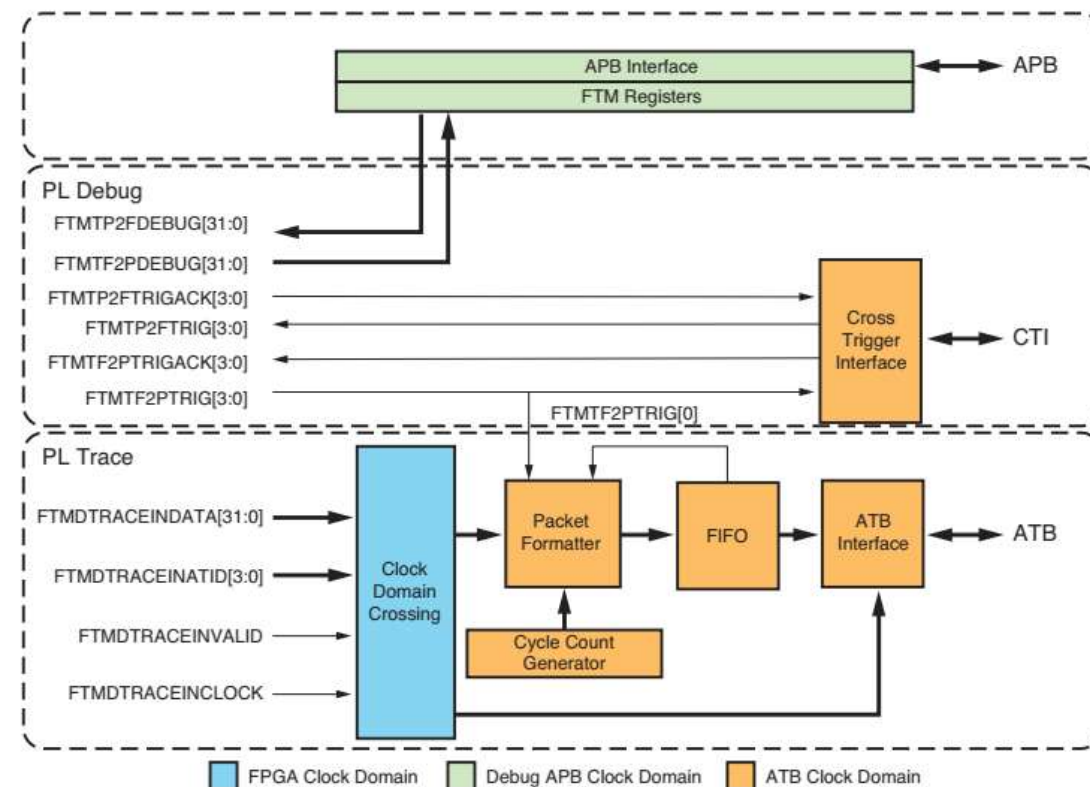
- ❑ Inicialización del dispositivo
 - ❑ Power On Reset
 - ❑ Watchdog Reset

- ❑ Inicialización del bloque PS
 - ❑ Inicialización externa: PS_SRST_B
 - ❑ Inicialización del procesador (warm reset): SRSTB

- ❑ Inicialización del bloque PL
 - ❑ Hay cuatro señales provenientes de PS: FCLK_RESET[3:0]

Depuración

- ❑ Se utiliza el bloque Fabric Trace Monitor (FTM)
- ❑ Recibe señales del bloque PL y las integra con las señales provenientes del PS (APB)
- ❑ Permite depurar en forma cruzada a los bloques PL y PS a través de la interfaz CTI (cross trigger interface)

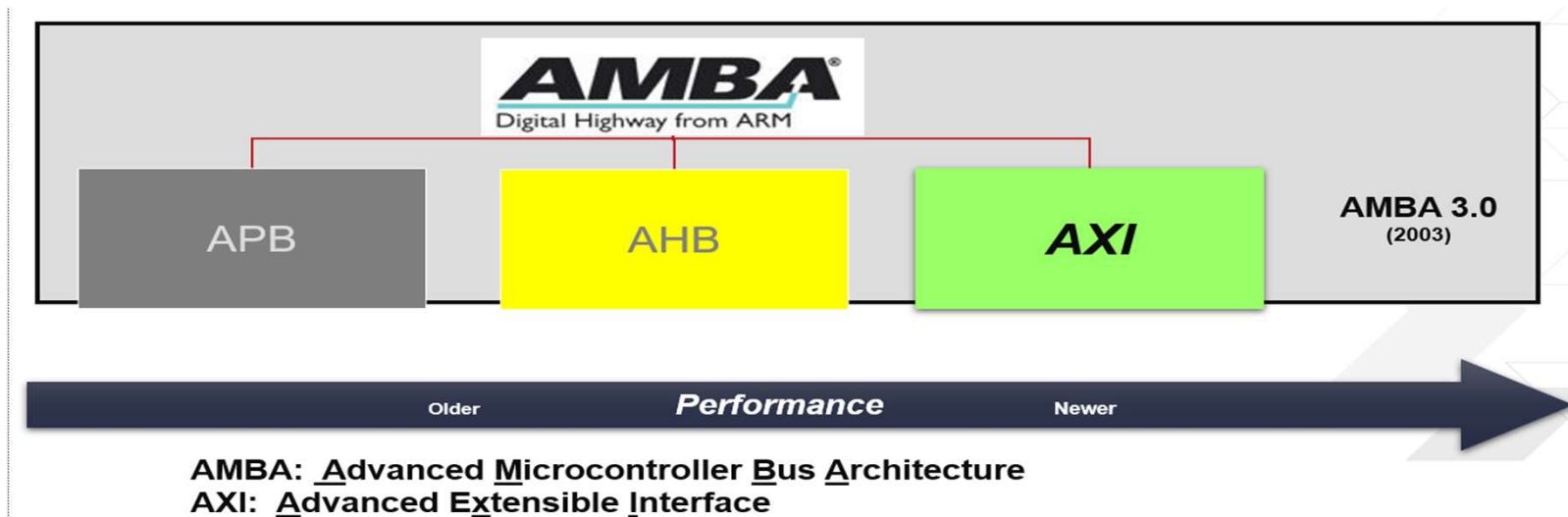


Contenido

- ❑ Arquitectura de la familia de FPGA SoC Zynq
- ❑ Arquitectura del bloque PS
- ❑ Periféricos
- ❑ Características de Temporización, Inicialización y Depuración
- ❑ **Bus AXI**

Buses AMBA

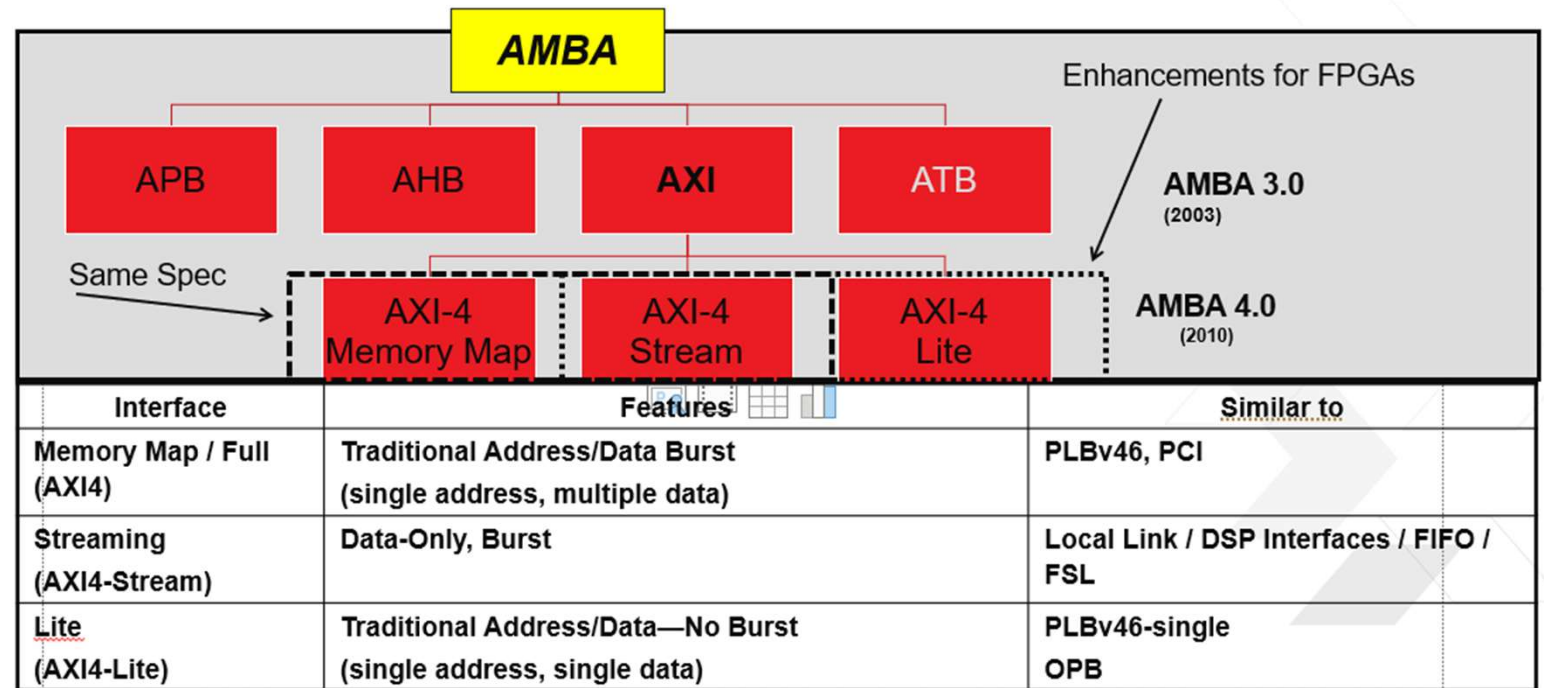
- ❑ AMBA es la familia de buses utilizada por los procesadores ARM
- ❑ Históricamente se diferenciaban los buses APB (orientado a periféricos de baja velocidad) y AHB (orientado a periféricos de alta velocidad, memoria y video)
- ❑ Estos buses evolucionan a la especificación AXI



Buses AXI

En la versión 4 de la especificación AMBA se definen 3 tipos de buses AXI

- AXI-4 Memory Map
- AXI-4 Stream
- AXI-4 Lite



ATB: Advanced Trace Bus (depuración)

Señalización en buses AXI

□ Se divide en canales según la funcionalidad de las señales

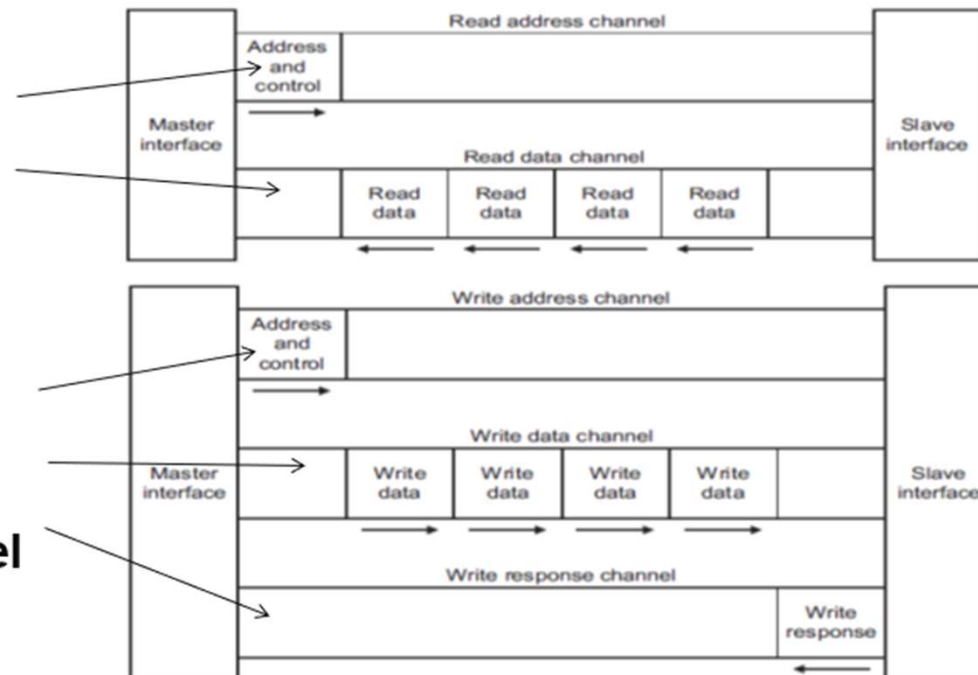
1. Read Address Channel

2. Read Data Channel

3. Write Address Channel

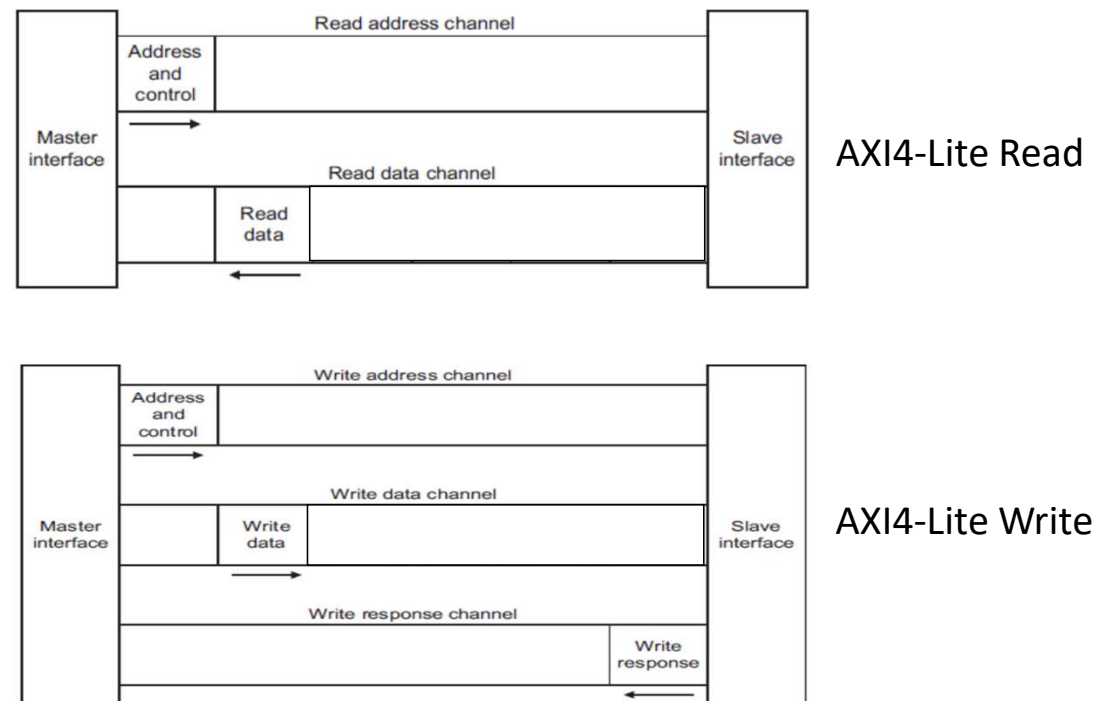
4. Write Data Channel

5. Write Response Channel



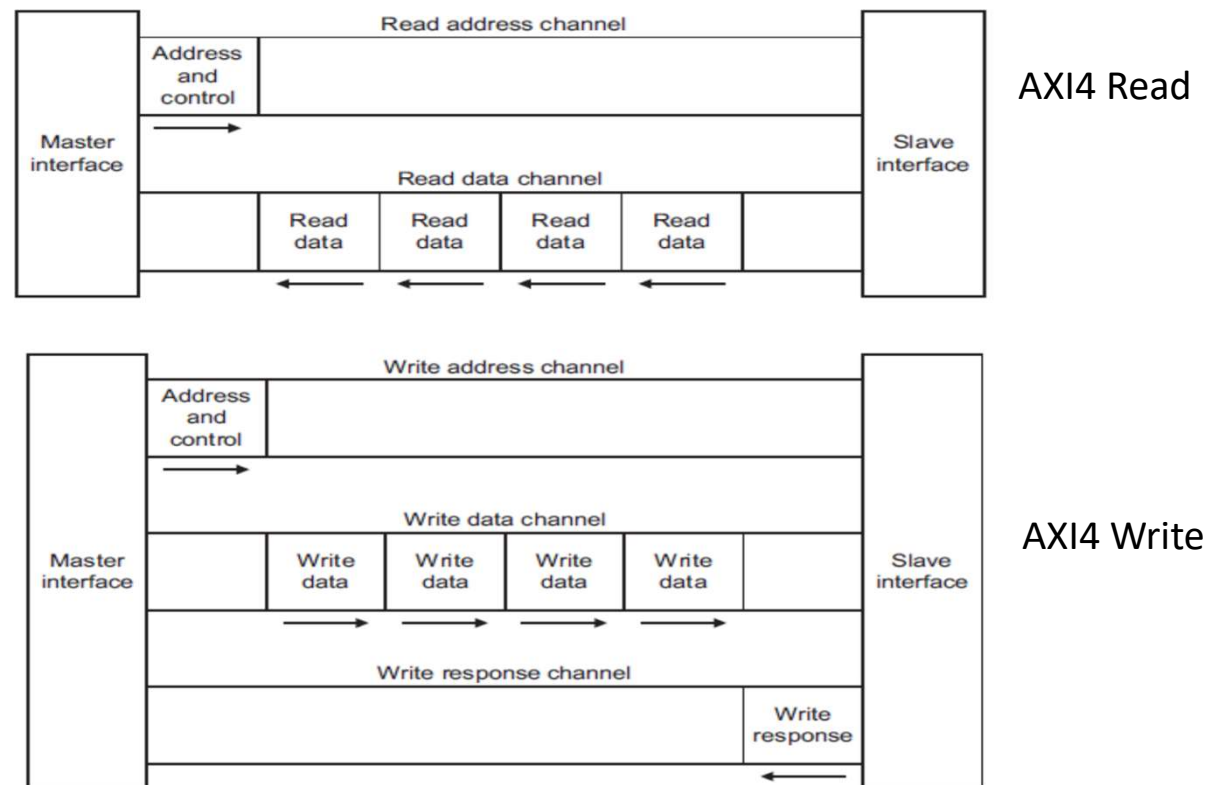
AXI4 Lite

- ❑ No tiene ráfagas de datos
- ❑ Ancho de datos de 32bits
- ❑ Ocupa poco espacio en silicio
- ❑ Se conecta al bus AXI mediante el bloque AXI_Interconnect



AXI4 Memory Mapped

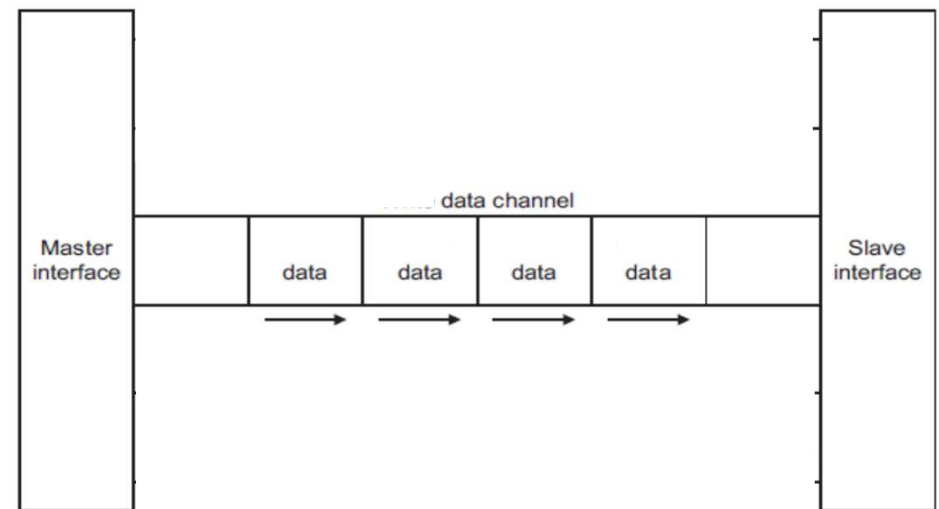
- ❑ Permite ráfagas de hasta 256 accesos de datos (lectura o escritura)
- ❑ Tamaño de dato variable hasta 1024bits



AXI4 – Stream

- ❑ No hay canales de direccionamiento, ni lectura ni escritura.
- ❑ Es el equivalente a un canal “write data” de AXI4 – Memory Mapped
- ❑ Es una ráfaga de datos en forma continua
- ❑ Puede o no trabajar con paquetes de datos
 - ❑ Ej. Sin paquetes: conversor A/D
 - ❑ Ej. Con paquetes: PCIe

AXI4-Stream Transfer



Practica 2

- ❑ En esta Práctica se ampliará el sistema agregando periféricos en PL conectados a través de un bus AXI4-Lite
- ❑ Se agregará un periférico de entrada (pulsadores)
- ❑ Se agregará un periférico de entrada (interruptores)
- ❑ Se agregará un periféricos de salida (Leds)

