

TP3 CORDIC

Sistemas Digitales FIUBA

2021

1 Objetivo

El presente Trabajo Práctico tiene como objetivo que el alumno aprenda a especificar, diseñar, describir una arquitectura, simular, sintetizar e implementar en FPGA la arquitectura CORDIC.

2 Especificaciones

- Implementar en lenguaje descriptor de hardware VHDL dos arquitecturas CORDIC trabajando en ambos modos: rotación y vectorización. Es decir, el sistema implementado deberá poseer una entrada para selección del modo de operación.
- La primer arquitectura será enrollada o iterativa.
- La segunda arquitectura será desenrollada.
- Para la arquitectura desenrollada, deberá agregarse *pipelining* cada una cantidad genérica de etapas.

3 Consideraciones generales

3.1 Modalidad de trabajo

Se recomienda enfáticamente realizar un testbench (simulación) por cada descripción de hardware a implementar. Una vez que se haya comprobado fehacientemente que cada descripción funciona por separado, se procederá a integrarlas y realizar una simulación general, la cual abarcará todo el sistema. El alumno deberá proponer un testbench adecuado que demuestre la correcta funcionalidad de las arquitecturas implementadas.

3.2 Lógica en el camino del reloj

No disponer lógica en el camino del reloj. No utilizar más de un dominio de reloj. Utilizar sólo uno de los dos flancos de reloj (*falling_edge* o *rising_edge*) en todos los circuitos sincrónicos que se implementen.

3.3 Lógica en el camino del reset

No disponer lógica en el camino del reset. No utilizar más de un reset asincrónico global. Utilizar sólo uno de los dos niveles de reset ('1' o '0') en todos los circuitos sincrónicos que se implementen.

3.4 Estilo de codificación

No utilizar señales de tipo bit o bit_vector. Tampoco utilizar señales de tipo inout o buffer para puertos de entidades. Indentar correctamente cada bloque. Utilizar mayúsculas sólo para las constantes.

3.5 Implementación en FPGA

El alumno deberá realizar una síntesis sobre el dispositivo xc7a15tftg256-1 demostrando la correcta implementación del diseño en el mismo. Para los tres casos deberán documentarse métricas de área utilizada por la implementación. Así mismo, para el caso desenrollado, deberá elaborarse una tabla donde se muestre la relación área vs frecuencia máxima de operación.

3.6 Forma de evaluación

El desarrollo y evaluación del trabajo práctico es individual.

El informe del trabajo práctico se deberá entregar en formato PDF junto con el código fuente VHDL en la fecha límite dispuesta por la cátedra (ver en el campus de la materia).

El docente correrá una simulación y verificará la correcta operación del sistema. funciona correctamente. Se evaluará individualmente al alumno con el trabajo práctico funcionando y, en base a las preguntas realizadas por el docente, se fijará una nota.