

# TP1 Implementación de un Sistema Secuencial en VHDL

Sistemas Digitales FIUBA

2021

## 1 Objetivo

El presente Trabajo Práctico tiene como objetivo que el alumno fije el concepto de circuito secuencial sincrónico aplicando el lenguaje de descripción de hardware VHDL.

## 2 Especificación del diseño

Implementar un circuito para controlar dos semáforos en un cruce de calles. Dicho circuito tendrá 6 salidas: rojo\_1, amarillo\_1, verde\_1, rojo\_2, amarillo\_2, verde\_2. El tiempo en amarillo será de 3 seg. mientras que en rojo y verde será de 30 seg. El reloj del sistema tendrá una frecuencia de operación de 50MHz.

## 3 Consideraciones generales

### 3.1 Modalidad de trabajo

Se recomienda enfáticamente realizar un testbench (simulación) por cada descripción de hardware a implementar. Una vez que se haya comprobado fehacientemente que cada descripción funciona por separado, se procederá a integrarlas y realizar una simulación general, la cual abarcará todo el sistema.

### 3.2 Lógica en el camino del reloj

No disponer lógica en el camino del reloj. No utilizar más de un dominio de reloj. Utilizar sólo uno de los dos flancos de reloj (*falling\_edge* o *rising\_edge*) en todos los circuitos sincrónicos que se implementen.

### 3.3 Lógica en el camino del reset

No disponer lógica en el camino del reset. No utilizar más de un reset asincrónico global. Utilizar sólo uno de los dos niveles de reset ('1' o '0') en todos los circuitos sincrónicos que se implementen.

### **3.4 Estilo de codificación**

No utilizar señales de tipo `bit` o `bit_vector`. Tampoco utilizar señales de tipo `inout` o `buffer` para puertos de entidades. Indentar correctamente cada bloque. Utilizar mayúsculas sólo para las constantes.

### **3.5 Implementación en FPGA**

El alumno deberá realizar una síntesis sobre el dispositivo `xc7a15tfg256-1` demostrando la correcta implementación del diseño en el mismo.

### **3.6 Forma de evaluación**

El desarrollo y evaluación del trabajo práctico es individual.

El informe del trabajo práctico se deberá entregar en formato PDF junto con el código fuente VHDL en la fecha límite dispuesta por la cátedra (ver en el campus de la materia).

El docente correrá una simulación y verificará la correcta operación del sistema. funciona correctamente. Se evaluará individualmente al alumno con el trabajo práctico funcionando y, en base a las preguntas realizadas por el docente, se fijará una nota.